# Quartus

## Quartus 다운로드

Quartus 툴은 Quartus 홈페이지를 통해서 다운로드 받을 수 있습니다.

실습에서 사용하는 툴은 Quartus II 이며 버전은 10.1 버전입니다.

홈페이지 주소: <http://www.altera.com/>

홈페이지에 접속한 후 다운로드 센터(Download Center) 메뉴를 누른 다음

**Step1** Select Category: Quartus II Web Edition

**Step2** Select Product: 10.1 Service Pack 1 을 선택합니다.



Figure 1 Altera Download Center

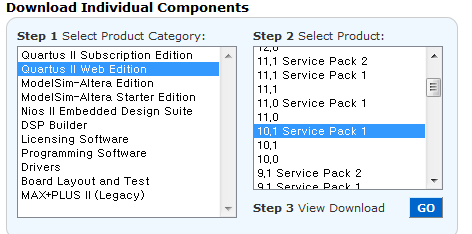


Figure 2 Quartus II 다운로드 버전 선택

**“GO”** 버튼을 누르면 Quartus II Web Edition의 다운로드 화면으로 이동합니다.

Windows, Linux 두 종류의 버전이 존재하며 본 실습 과정에서는 Windows 환경에서 실습이 진행되므로 Windows 버전을 선택합니다.



Figure 3 Quartus II 동작 플랫폼 선택

버전 선택을 마치면 Altera 사이트의 계정 정보를 입력하도록 합니다.

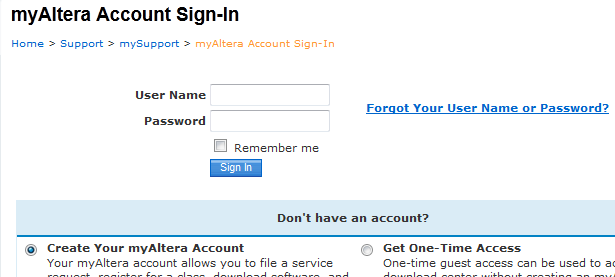


Figure 4 Altera 계정 정보 입력

계정이 없는 경우는 “Create Your myAlter Account” 나 Get One-Time Access 옵션을 통해서 간단한 정보를 입력하고 다운로드를 진행할 수 있습니다.

Altera 계정 정보를 입력한 후 Sign-in 또는 일회용 정보를 입력하고 나면 Quartus II 설치파일 다운로드 페이지가 표시됩니다.

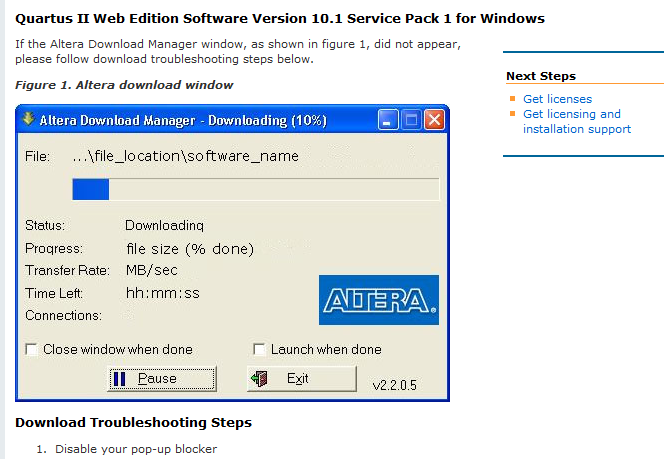


Figure 5 다운로드 메니저 사용 안내

여기서는 다운로드 메니저를 통해서 설치파일을 다운로드할 수 있도록 그에 대한 설명을 보여줍니다.

설명을 따라서 팝업창에 표시되는 다운로드 메니져를 활성화 시키면 Quartus II Web edition의 다운로드가 시작됩니다.

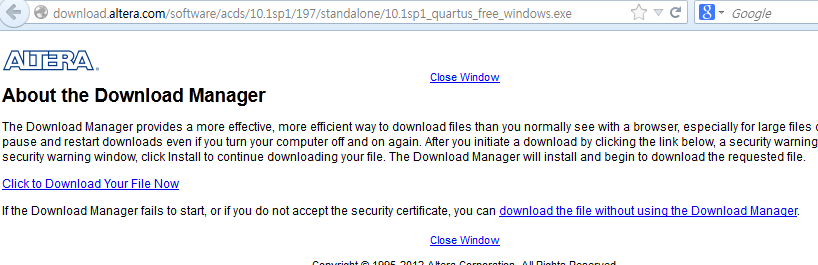


Figure 6 다운로드 메니저 설명

다운로드 메니저가 시작되면서 파일 저장위치를 지정하도록 합니다.

적당한 위치를 지정한 후 확인을 누르면 설치 파일을 지정한 위치에 다운로드 받아 저장합니다.

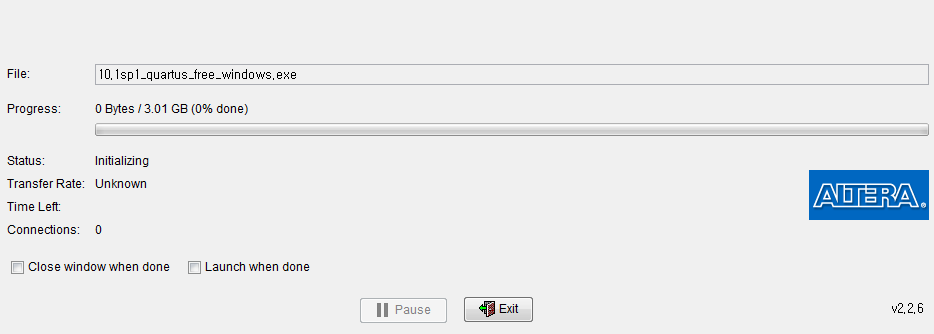


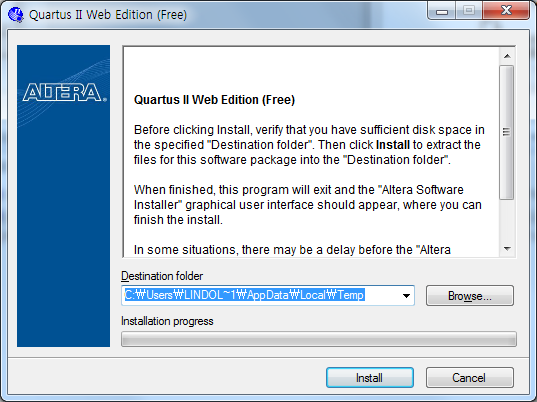
Figure 7 Quartus 설치 파일 다운로드

## Quartus 설치

Quartus II Web edition 설치를 위해서 배포된 자료 또는 웹사이트를 통해 다운로드한 설치 프로그램을 실행합니다. 설치 프로그램의 이름은 다음과 같습니다.

|  |
| --- |
| 10.1sp1\_quartus\_free\_windows.exe |

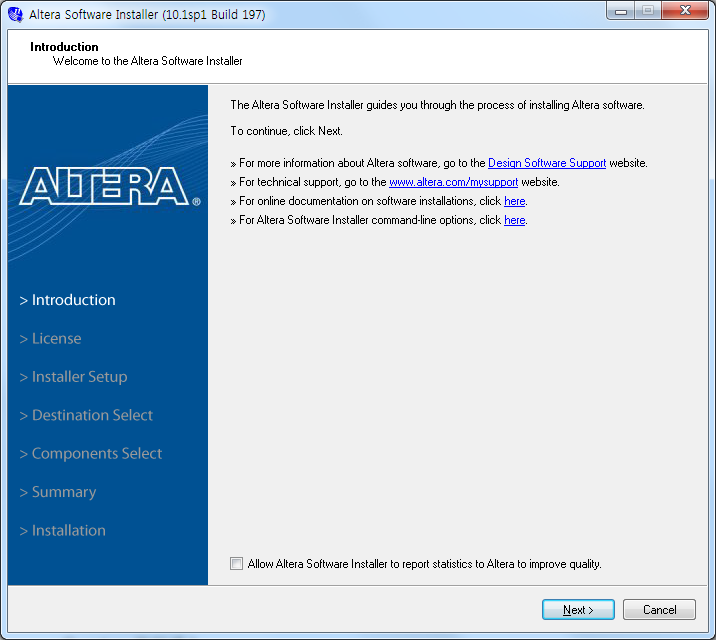
프로그램을 실행하면 설치를 위해서 임시로 패키지를 풀어놓을 위치를 지정하도록 합니다.



기본적으로 임시 디렉토리가 지정되어 있으므로 위치 변경 없이 **“Install”** 버튼을 누르고 설치를 진행합니다.

패키지에 대한 추출이 끝나면 설치 프로그램이 시작 됩니다.

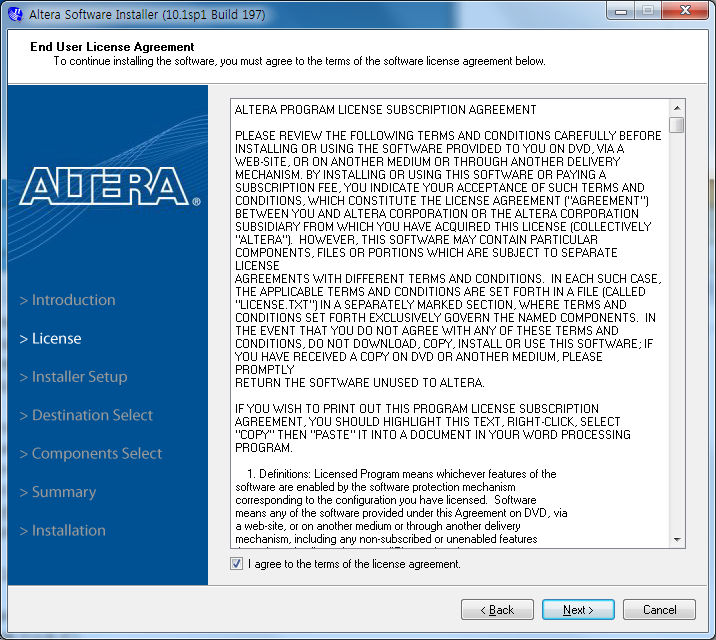
다음은 설치 프로그램의 초기 화면입니다.



“Next” 버튼을 클릭하고 다음 단계로 진행합니다.

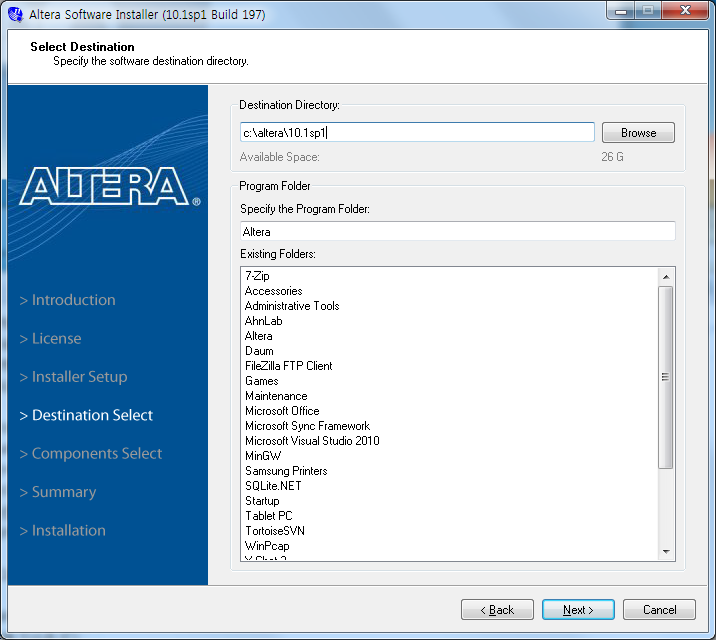
Software에 대한 License 표시화면이 나타나며 라이선스에 대한 부분을 확인 후 다음과 같은 라이선스에 대한 동의 부분을 체크합니다.

|  |
| --- |
| I agree to the terms of the license agreement. |



**“Next”** 버튼을 클릭하고 다음 단계로 진행합니다.

다음은 Quartus 툴을 설치할 위치를 지정하는 단계입니다.

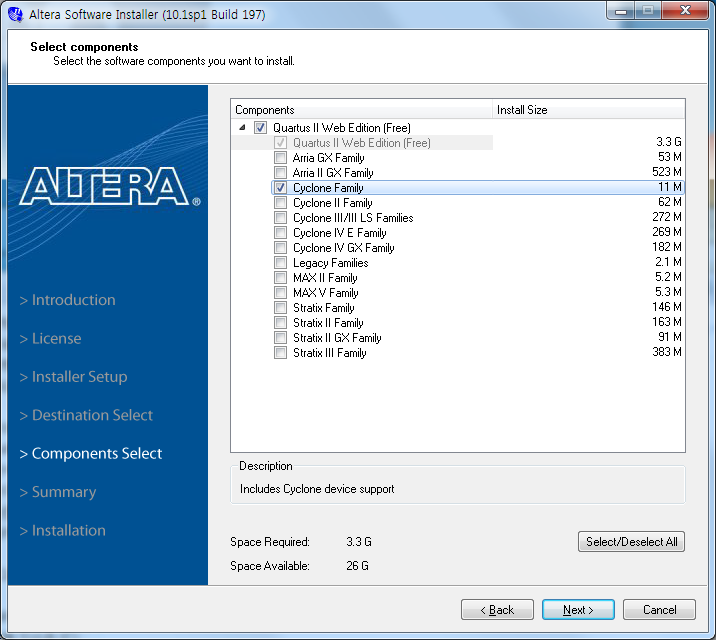


설치 위치는 기본적으로 다음과 같으며 다른 위치를 사용하지 않을 경우는 기본위치를 그대로 사용해 설치를 진행하도록 합니다.

|  |
| --- |
| c:\altera\10.1sp1 |

**“Next”** 버튼을 클릭하고 다음 단계로 진행합니다.

다음은 Quartus 툴과 함께 설치할 구성요소를 선택하는 화면입니다.

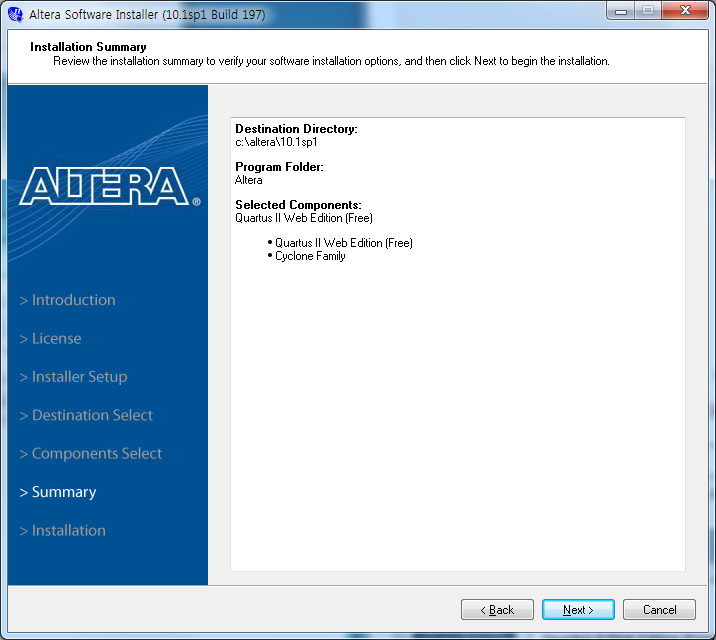


Quartus 툴과 함께 설치할 구성요소를 선택하도록 합니다. 본 실습에서는 PXA255-FPGA 보드를 사용하며 여기에 포함된 하드웨어는 Altera사의 Cyclone I 이므로 다음 구성요소를 선택하도록 합니다.

|  |
| --- |
| Quartus II Web Edition (Free)  Cyclone Family |

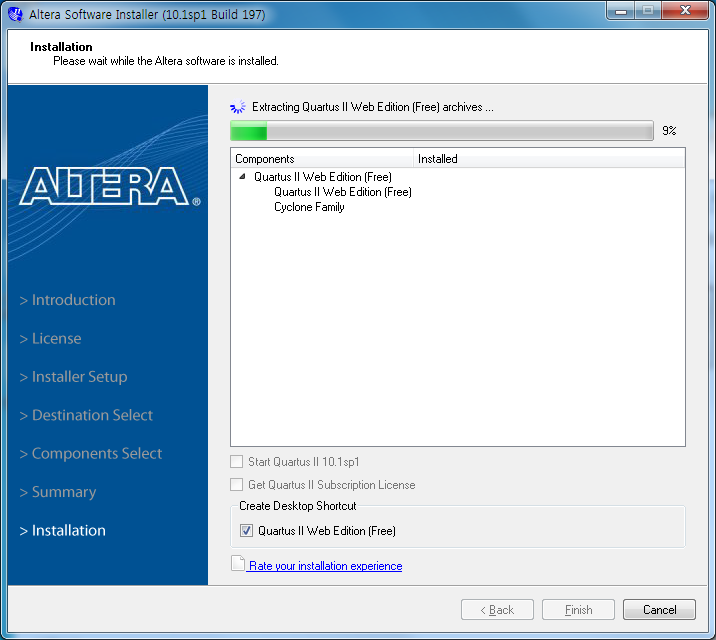
선택을 마친 후 “Next” 버튼을 클릭하고 다음 단계로 진행합니다.

다음은 지금까지 지정한 설치 옵션에 대한 내용을 간략하게 표시합니다.

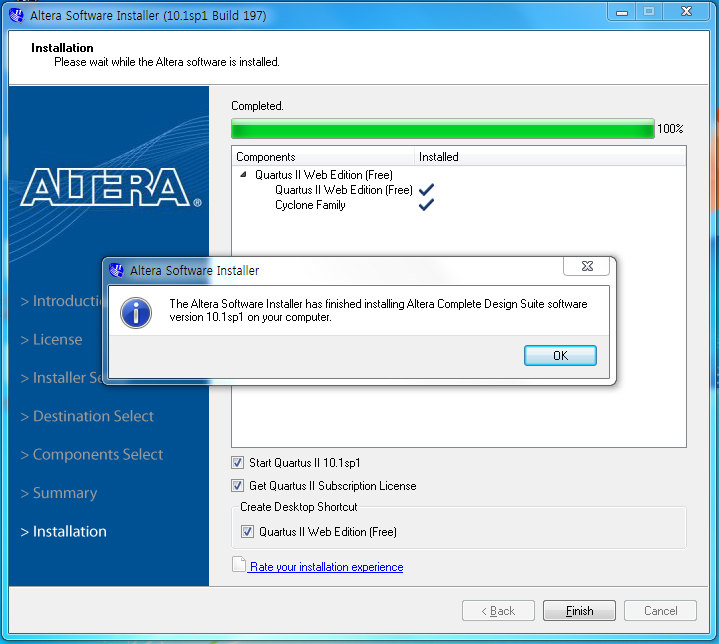


표시된 설치 옵션에 대한 내용을 확인한 후 **“Next”** 버튼을 클릭하고 다음단계로 진행합니다.

다음으로 앞서 지정했던 위치에 Quartus 툴이 설치됩니다.



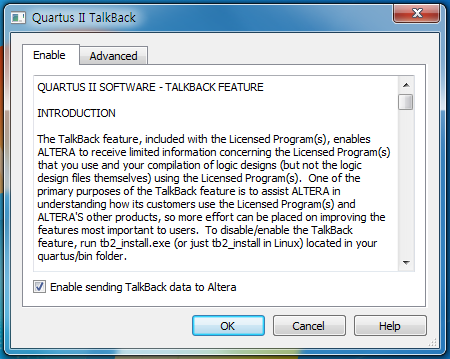
설치가 완료되면 이를 알리는 팝업 창이 표시됩니다.



**“Ok”** 버튼을 클릭하면 Quartus II 툴 설치 작업을 마치고 Quartus II 툴이 실행됩니다.

설치 종료와 함께 TalkBack 설정 프로그램이 실행되며 이 때는 본 실습과정과는 관계가 없는 내용이므로 하단에 표시된 다음 옵션에 대한 체크를 해제하도록 합니다.

|  |
| --- |
| Enable sending TalkBack data to Altera |



**“Ok”** 버튼을 클릭하고 프로그램을 마칩니다.

## Quartus 라이센스

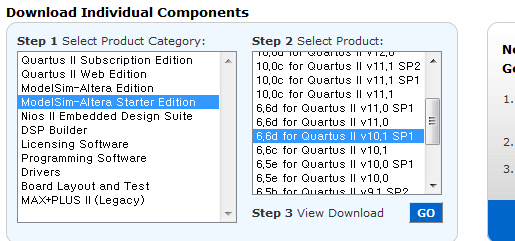
본 실습에서 사용하는 Quartus 버전은 **“Web Edition”** 이며 이 버전은 추가적인 라이선스 활성화 과정이 필요하지 않습니다.

## ModelSim-Altera 다운로드

Sumulator tool인 ModelSim-Altera를 설치하기 위해서 Altera 홈페이지에서 설치파일을 다운로드 합니다.

|  |
| --- |
| http://www.altera.com |

다운로드 메뉴의 다운로드 상세 설정 옵션을 통해서 툴 종류와 ModelSim-Altera 버전을 선택하도록 합니다.

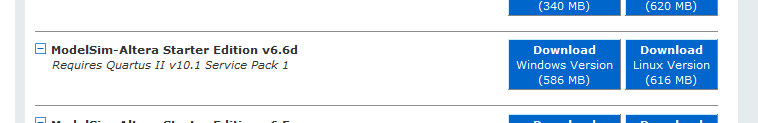


다운로드 옵션을 다음과 같이 선택합니다.

|  |
| --- |
| Select Product Category: ModelSim-Altera Starter Edition  Select Product: 6.6d for Quartus II v10.1 SP1 |

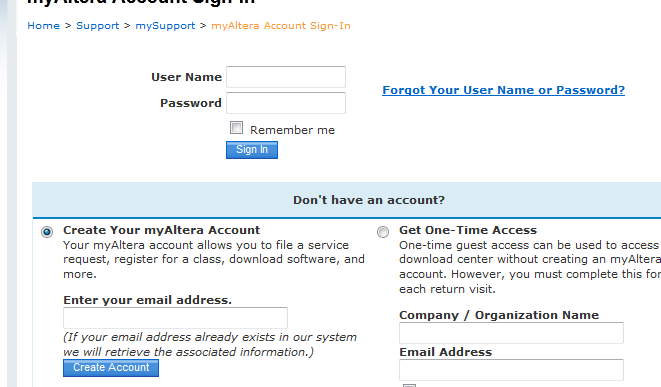
다운로드할 툴에 대한 선택을 마친 후 **“GO”** 버튼을 클릭합니다.

ModelSim-Altera이 설치된 플랫폼을 선택하는 화면에서 화면 중앙의 ModelSim-Altera Starter Edition v6.6d에서 Windows 환경의 다운로드 링크를 클릭합니다.



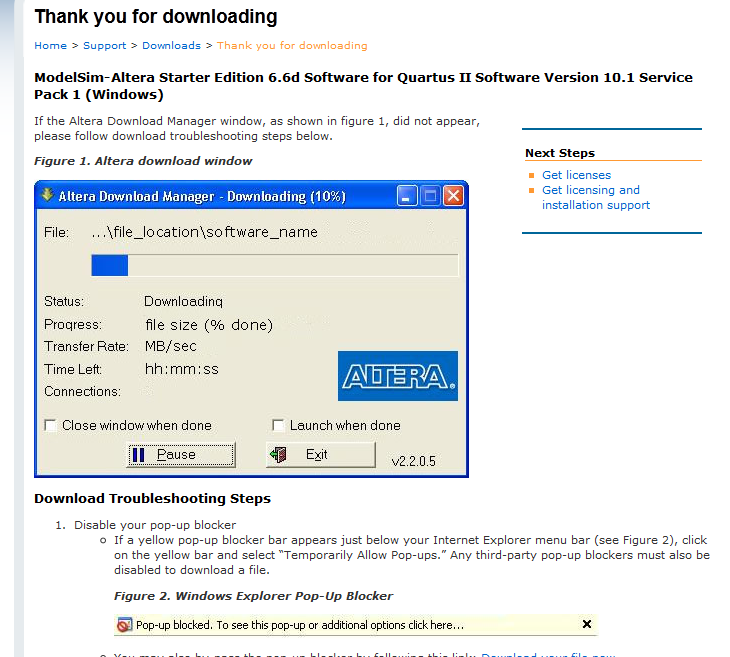
**“Download Windows Version”** 버튼을 클릭합니다.

다운로드 버튼을 클릭하면 다운로드에 앞서서 Altera 계정 인증을 요구하게 됩니다. 이 때는 기존에 가입한 사이트 계정을 입력하거나 임시 계정을 생성하면 다운로드 작업을 계속 진행할 수 있습니다.



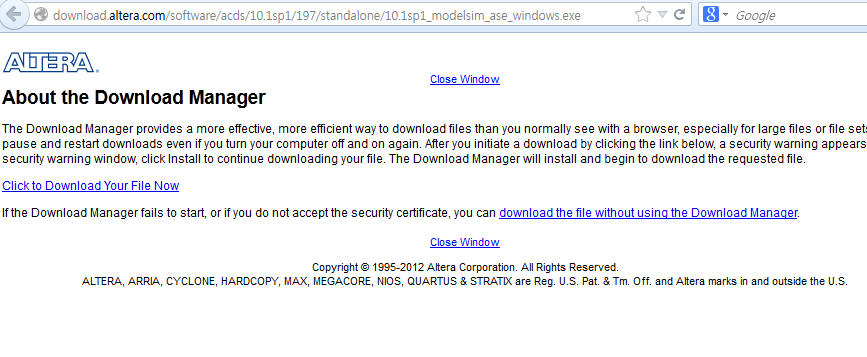
계정을 입력하거나 Get One-Time Access을 통해서 다운로드를 계속 진행할 수 있습니다.

인증을 마치면 다운로드 안내페이지가 표시되며 팝업 윈도우 창에서 다운로드 매니저가 실행됩니다.



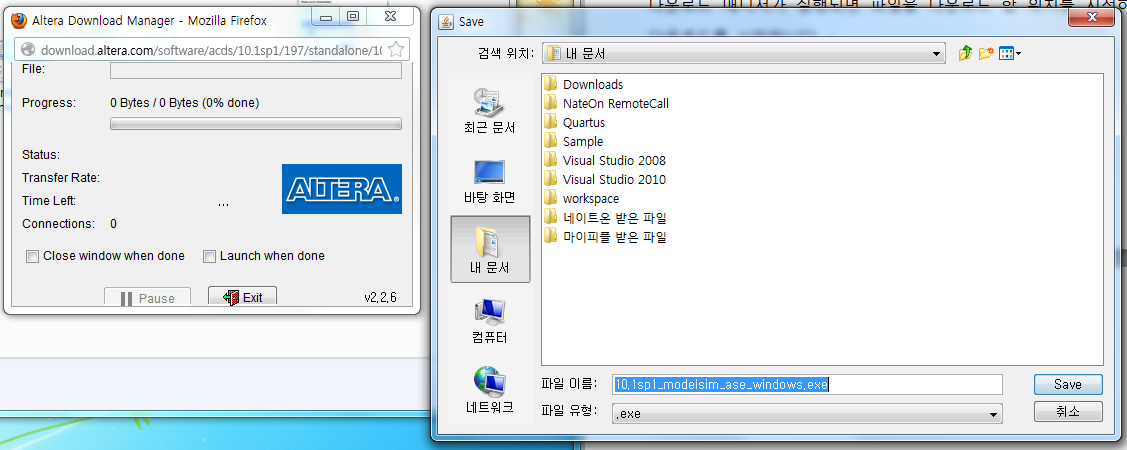
팝업 윈도우 창에 다운로드 매니저가 실행되며 팝업 창이 표시되지 않을 경우는 화면 하단의 **“Download your file now”**를 클릭하면 됩니다.

다운로드 매니저를 실행하는 팝업 윈도우에는 다운로드 매니저에 대한 설명이 표시됩니다.



* 파일 다운로드 위치를 묻는 다운로드 매니저가 실행되지 않을 경우 화면 중앙의 “Click to Download Your File Now” 버튼을 클릭하면 다운로드 매니저가 시작됩니다.

다운로드 매니저가 실행되면 파일을 다운로드 할 위치를 지정하고 ModelSim-Altera 설치파일의 다운로드를 시작합니다.



설치파일에 대한 다운로드가 완료되면 **“Exit”** 버튼을 누르고 다운로드 매니저를 종료합니다.

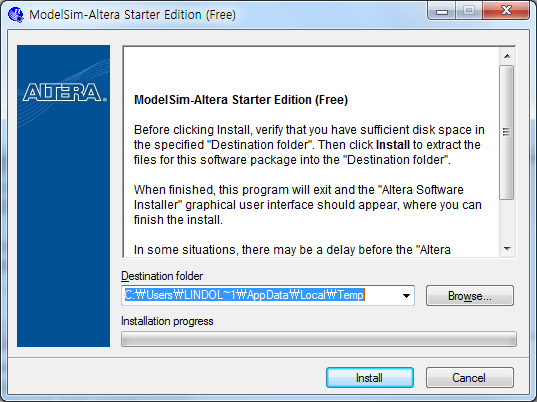
## ModelSim-Altera 설치

ModelSim-Altera의 설치를 위해서 다운로드한 설치파일을 실행합니다.

설치파일의 이름은 다음과 같습니다.

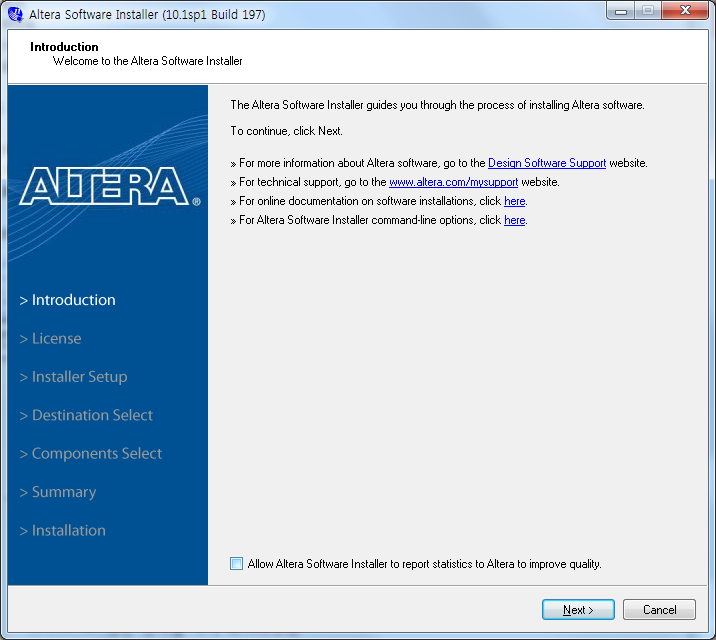
|  |
| --- |
| 10.1sp1\_modelsim\_ase\_windows.exe |

설치 프로그램을 실행하면 설치를 위해 필요한 임시 파일을 복사할 위치를 지정하도록 합니다.



입력된 기본 값을 그대로 사용하도록 하고 하단의 **“Install”** 버튼을 클릭합니다.

프로그램 설치를 위한 파일 복사가 끝나면 Altera Software Installer 가 실행됩니다.



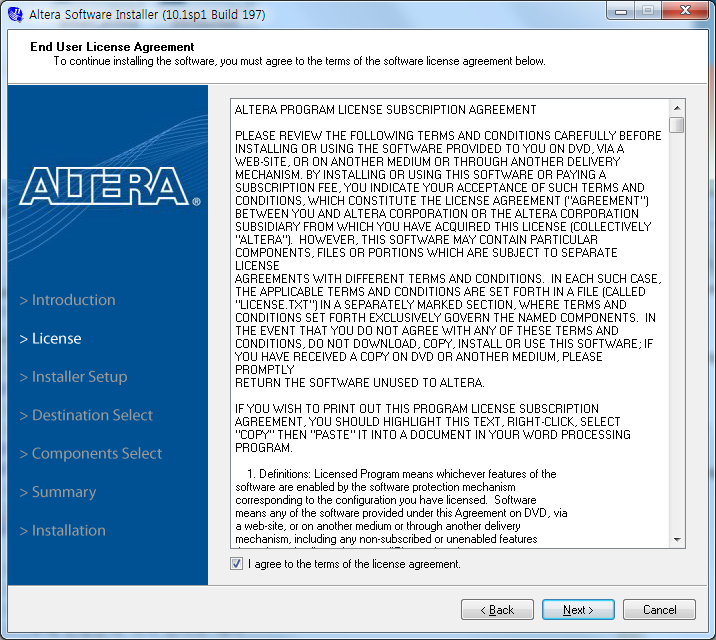
간단히 설치 프로그램에 대한 소개를 볼 수 있으며 하단의 옵션을 체크 해제 합니다.

다음 체크 옵션을 해제 하도록 합니다.

|  |
| --- |
| Allow Altera Software Installer to report statistics to Altera to improve quality. |

옵션을 체크 해제한 후에 **“Next”** 버튼을 클릭합니다.

다음으로 ModelSim-Altera 소프트웨어에 대한 라이선스가 표시됩니다.

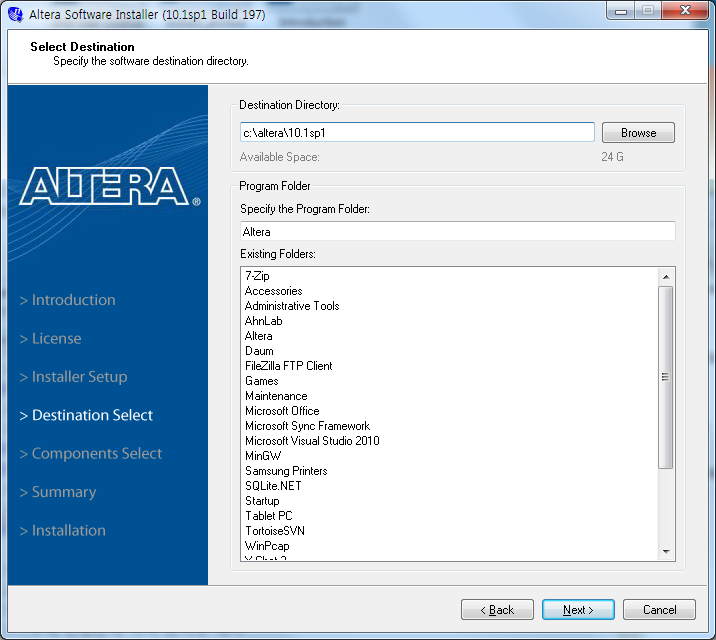


라이선스 동의 옵션

|  |
| --- |
| I agree to the term of the license agreement. |

하단의 라이선스 동의 옵션을 체크한 후 **“Next”** 버튼을 클릭합니다.

다음으로 프로그램이 설치될 위치를 지정하도록 합니다.



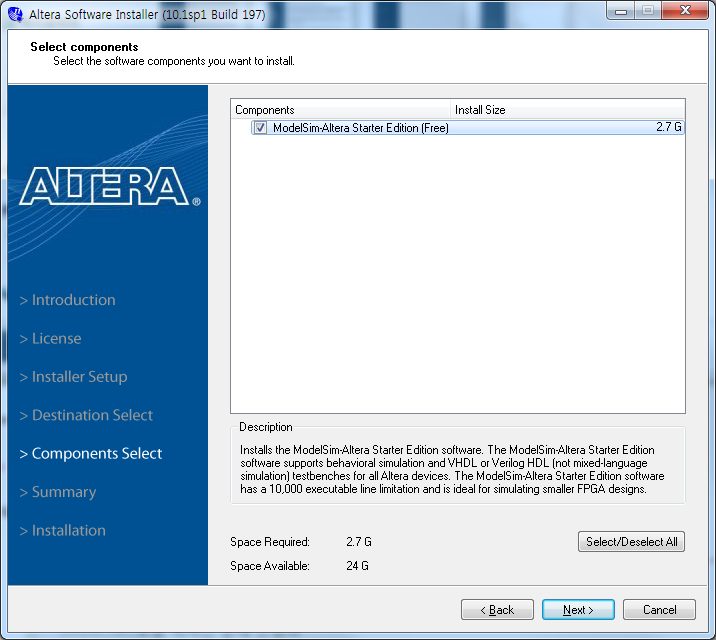
설치할 위치를 따로 지정할 수 있으며 기존에 설치된 Altera 툴과 같은 위치를 지정하도록 합니다.

설치위치 (미리 설정된 기본위치)

|  |
| --- |
| c:\altera\10.1sp1 |

기본적으로 설치 프로그램에서 미리 설정되어 있는 기본 정보를 그대로 사용하도록 하고 **“Next”** 버튼을 클릭합니다.

다음은 설치할 소프트웨어 Component를 선택하는 화면입니다.

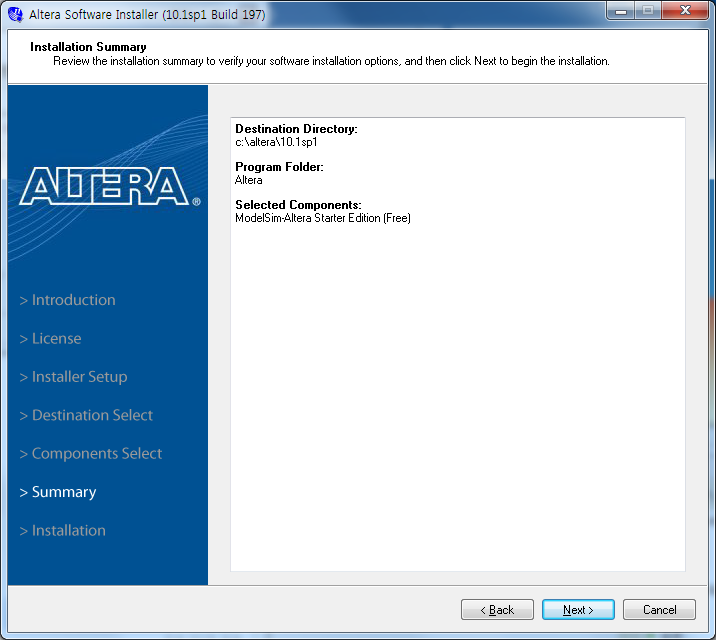


다음 Component를 선택하도록 합니다.

|  |
| --- |
| ModelSim-Altera Starter Edition(Free) |

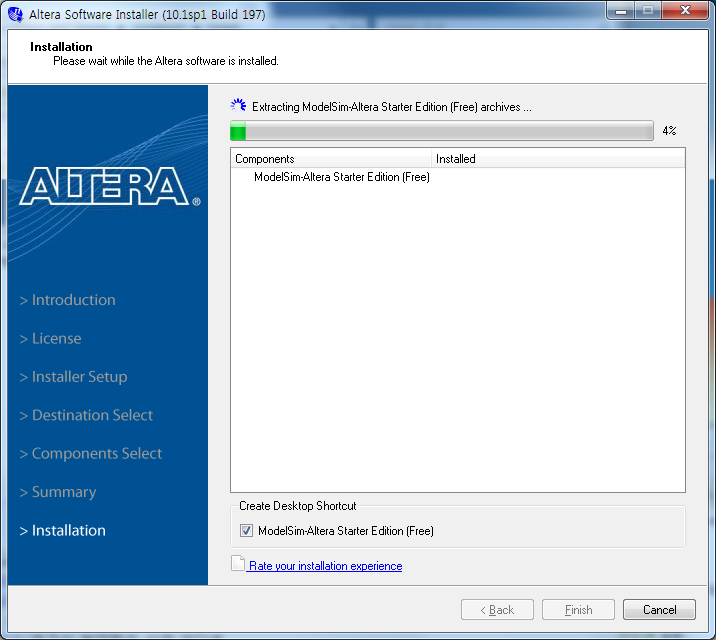
Component 선택을 마친 후 **“Next”** 버튼을 클릭합니다.

다음은 지금까지 지정한 설치 옵션에 대한 요약 정보를 보여주는 화면입니다.

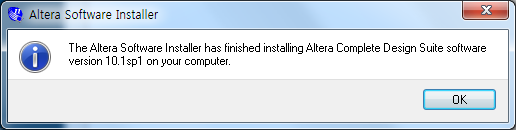


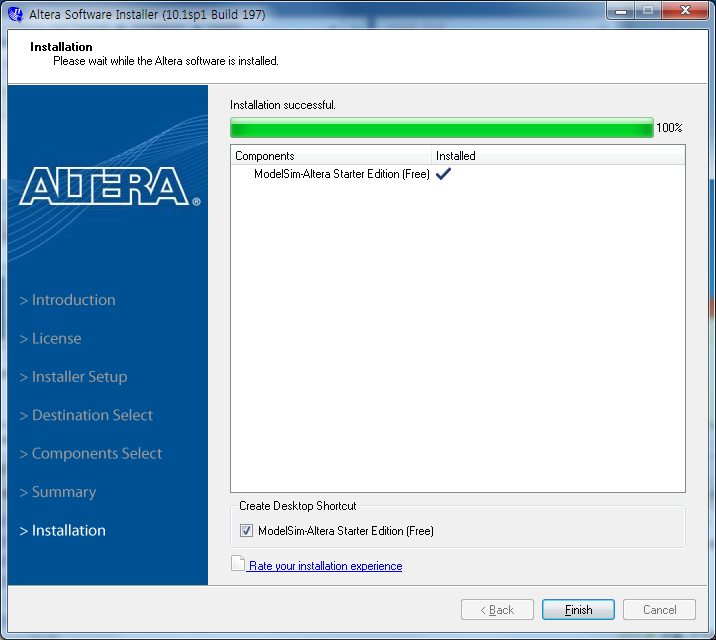
표시된 설치 정보를 확인한 후 **“Next”** 버튼을 클릭합니다.

다음은 프로그램 설치가 진행되는 화면입니다.



설치가 완료되면 완료 메시지가 표시되며 **“OK”** 버튼을 눌러 창을 닫습니다.





완료 메시지가 표시된 후 “Finish” 버튼을 클릭하면 ModelSim-Altera 프로그램의 설치가 완료됩니다.

## Quartus 사용법

Quartus II 를 시작하기 위해서 바탕화면 및 시작 메뉴의 Quartus II 10.1sp1 Web Edition (32-Bit) 을 실행합니다.

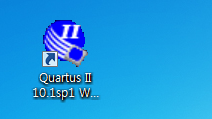


Figure 8 Quartus II 실행 단축 아이콘

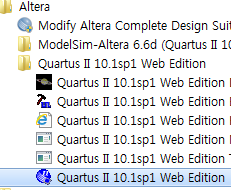


Figure 9 Quaruts II 실행 메뉴

### 프로젝트 생성

File 메뉴에서 하위의 “**New Project Wizard”**를 실행하고 새로운 프로젝트를 생성합니다.

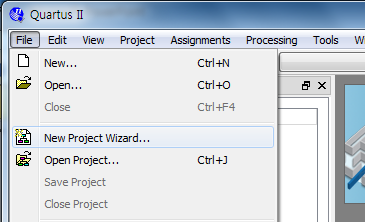


Figure 10 New Project Wizard 실행

New Project Wizard를 실행하면 프로젝트 생성을 돕기 위한 마법사가 실행됩니다. 실행 첫 화면은 프로젝트 생성 마법사에 대한 설명 화면입니다.

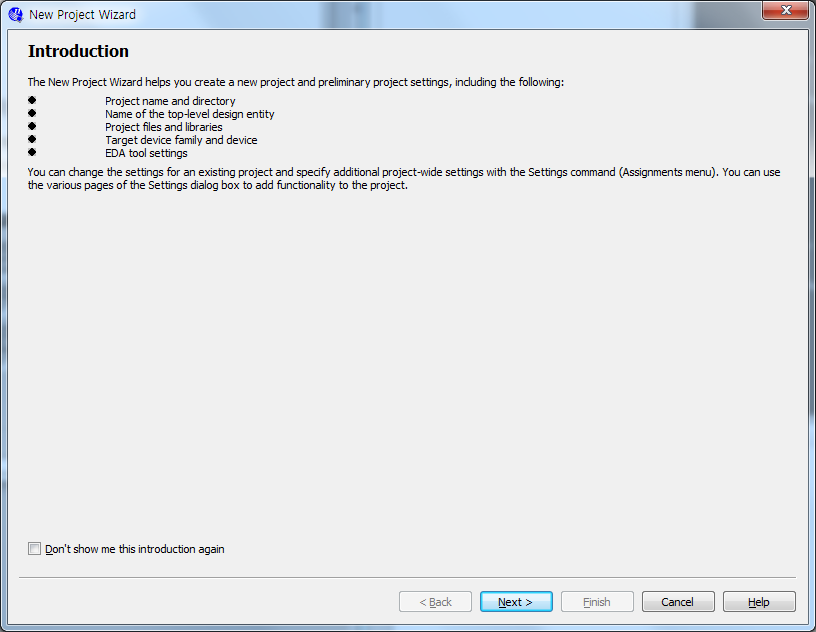


Figure 11 New Project Wizard - Introduction

**“Next”**를 클릭해 다음 화면으로 이동합니다.

표시되는 다음 화면은 프로젝트 디렉토리에 대한 정보를 입력하는 화면입니다.

Vhd 파일이 저장된 디렉토리와 top-level 파일의 이름을 지정해 줍니다.

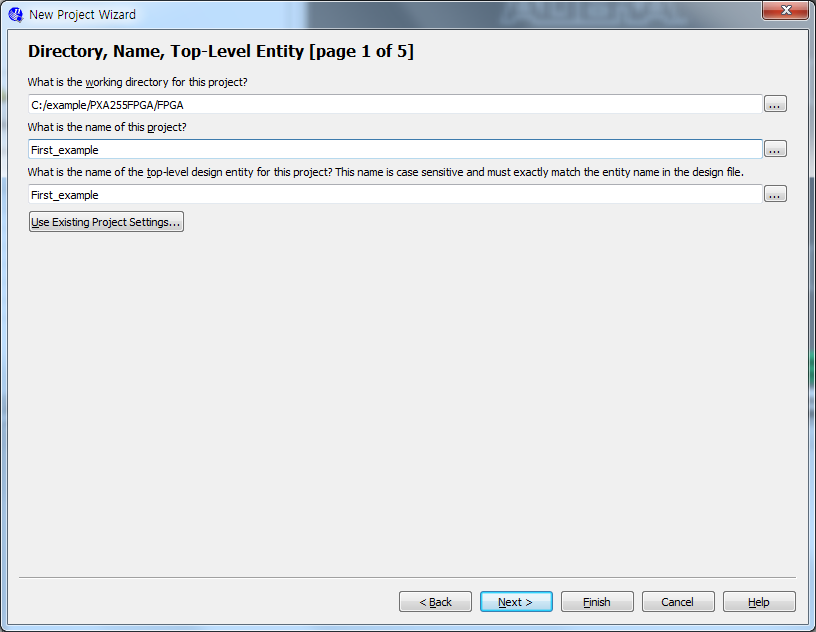


Figure 12 New Project Wizard - 디렉토리 설정

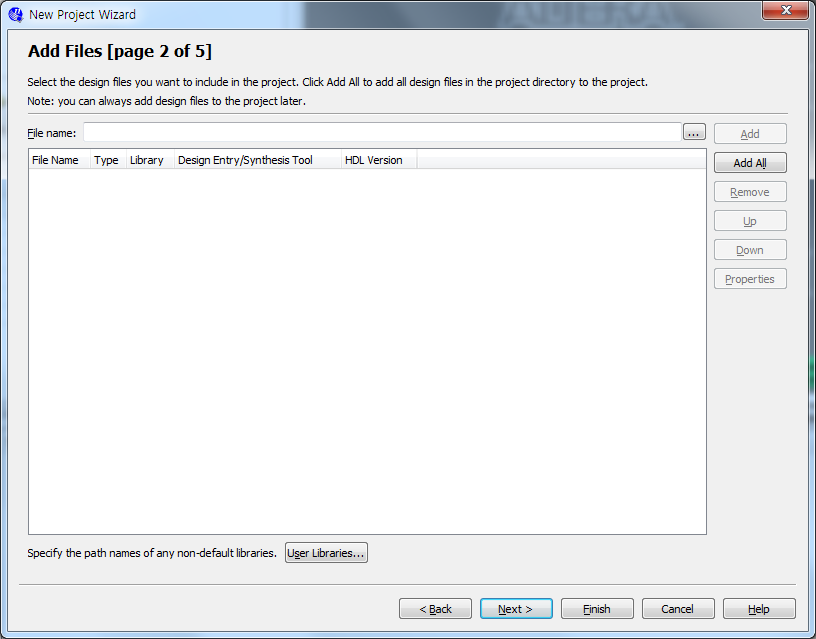
입력한 내용은 다음과 같습니다.

|  |
| --- |
| 프로젝트 설치 경로:  C:/example/PXA255FPGA/FPGA  프로젝트 이름:  First\_example  Top-level entity 이름:  First\_example |

프로젝트 이름과 Top-level entity에 대한 정보를 입력한 후 **“Next”** 버튼을 클릭합니다.

* 프로젝트 설치 경로가 존재하지 않을 경우, 새로 생성할 것인지를 묻는 창이 표시되며 이때는 **“Yes”**를 클릭하고 계속 진행하도록 합니다.

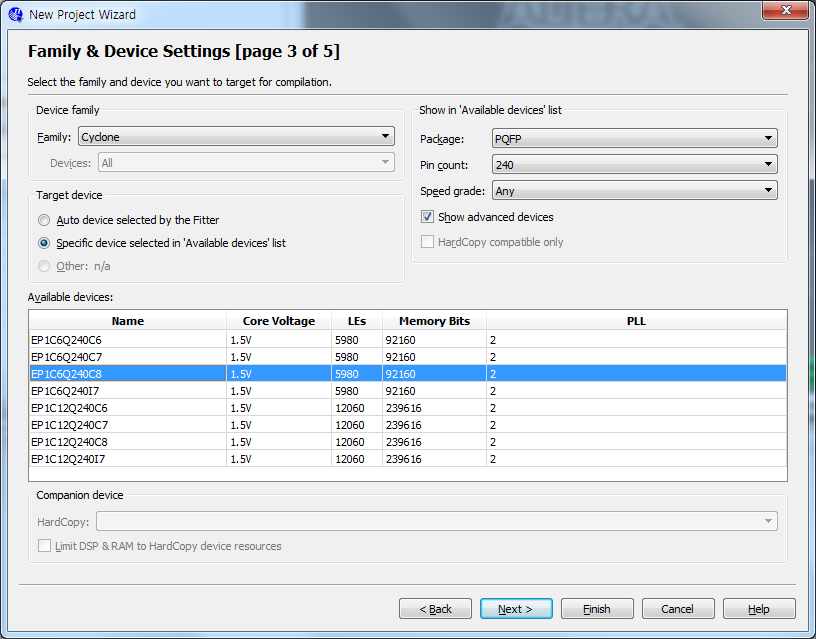
다음은 프로젝트에 포함할 파일들을 선택하는 화면입니다.



추가할 파일이 없으면 **“Next”** 버튼을 눌러 다음 설정으로 이동합니다.

※ 기존에 작성한 파일이 없으므로 이 단계를 생략합니다. 기존에 미리 작성된 Vhd 파일이 있다면 이 단계에서 추가하도록 합니다.

다음은 장치의 칩셋을 선택하는 화면입니다.



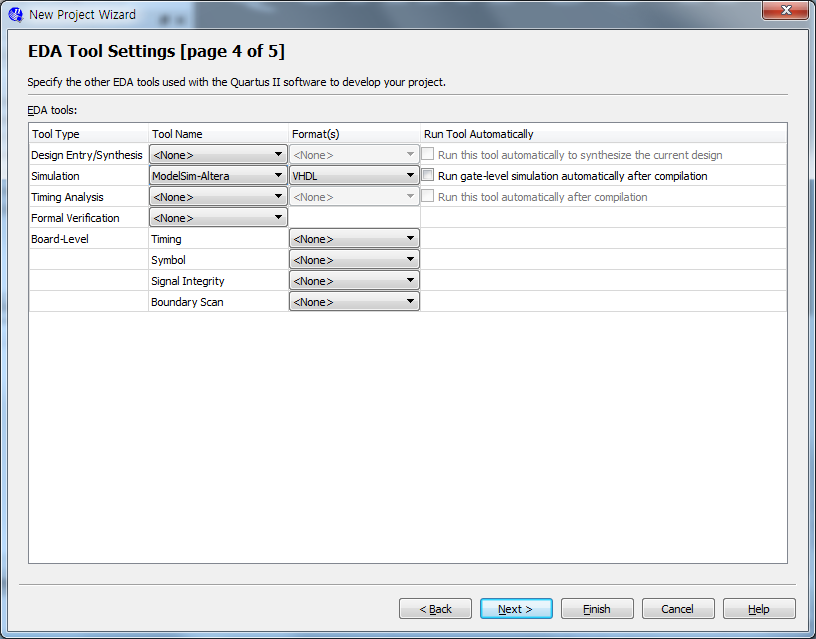
다음 내용을 참고하여 각 항목을 선택합니다.

|  |
| --- |
| Family: Cyclone  Package: PQFP  Pin count: 240  Available devices: EP1C6Q240C8 |

여기서 입력하는 정보는 우리가 사용할 FPGA 디바이스가 Altera의 Cyclone 칩셋이므로 이에 대한 정보를 입력하는 것입니다.

선택을 마친 후 **“Next”**를 클릭합니다.

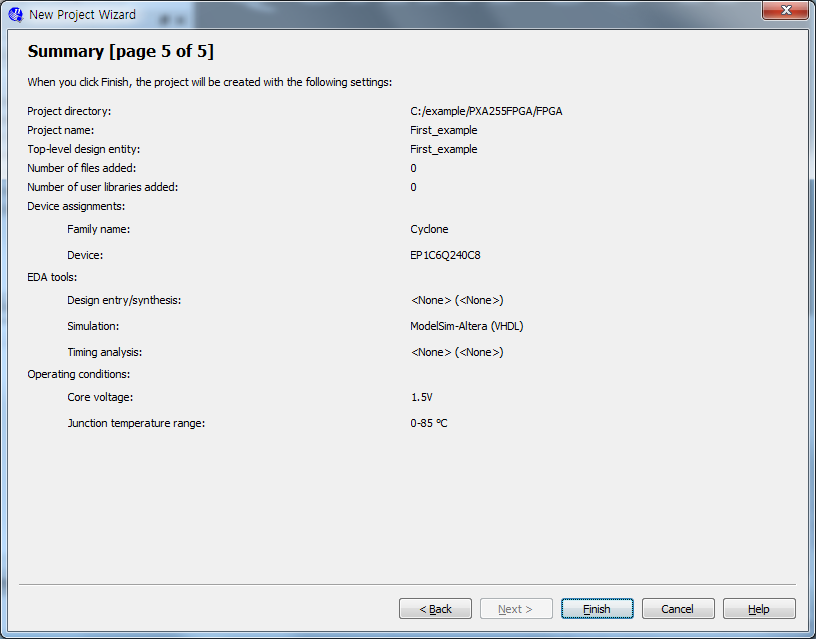
다음은 EDA 툴을 선택하는 화면입니다. 만약 EDA툴을 사용하지 않는다면 아무것도 선택하지 않고 다음으로 넘어가도록 합니다.



ModelSim-Altera 가 설치된 경우 Simulation 항목의 Tool Name에서 ModelSim-Altera 를, Format(s)은 VHDL을 선택합니다.

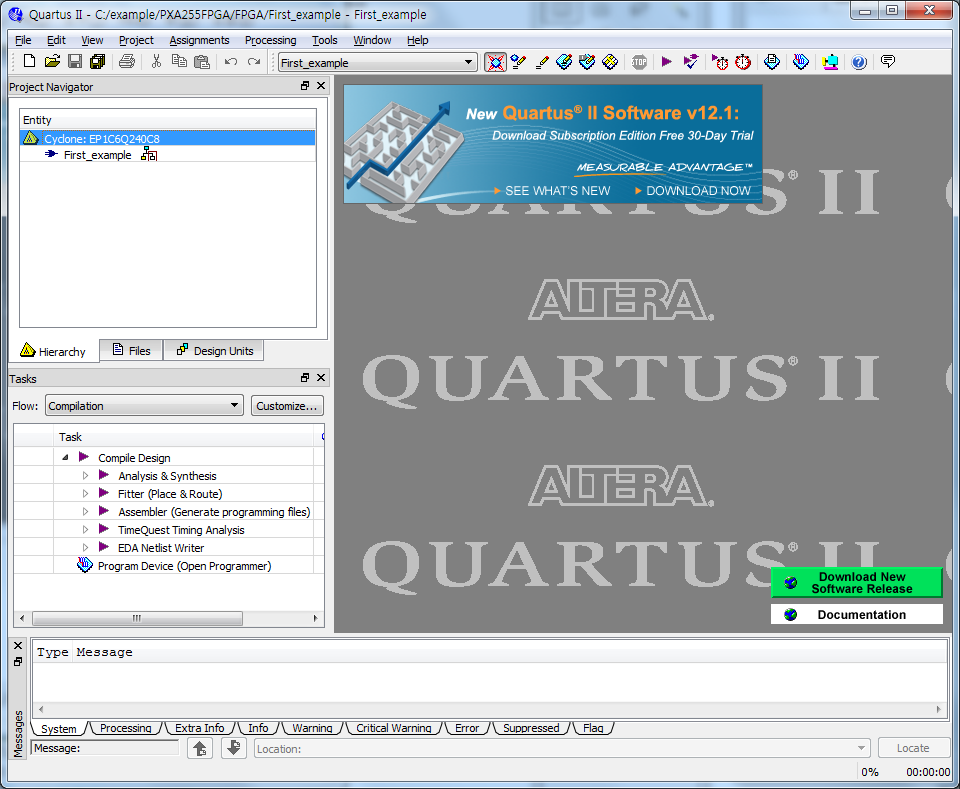
EDA Tool에 대한 설정을 마친 후 **“Next”** 버튼을 클릭합니다.

다음 표시되는 화면에는 현재까지 입력한 프로젝트에 대한 정보가 요약되어 표시됩니다.



지정한 내용이 맞는지 확인한 후 **“Finish”** 버튼을 클릭하면 프로젝트 생성이 완료됩니다.

다음은 프로젝트가 생성된 화면입니다.

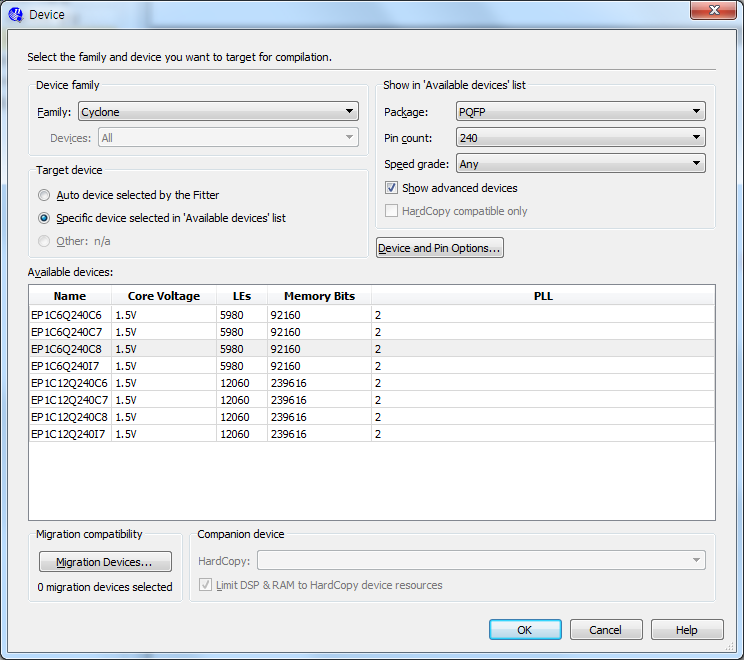


### 프로젝트 설정

[Configuration 설정을 해야하는지에 대한 이유에 대한 설명을 추가할 것.]

Assignments 메뉴의 **“Device”** 를 실행합니다.

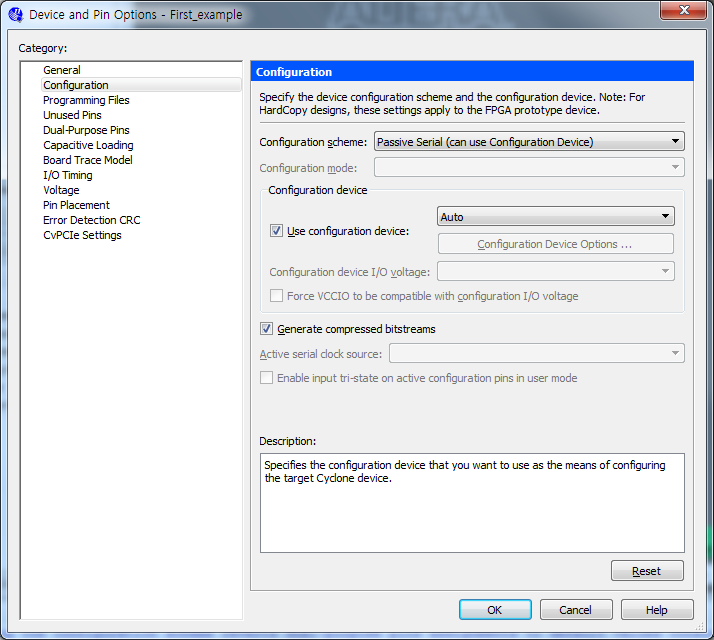
다음은 Device 메뉴를 실행했을 때 표시되는 화면입니다.



프로젝트 생성시 설정한 내용들이 표시되는 것을 볼 수 있습니다.

여기서 Device 메뉴 중앙에 있는 **“Device and Pin Options”** 버튼을 클릭합니다.

Device and Pin Options 창이 표시되면 **“Configuration”** 탭을 선택합니다.

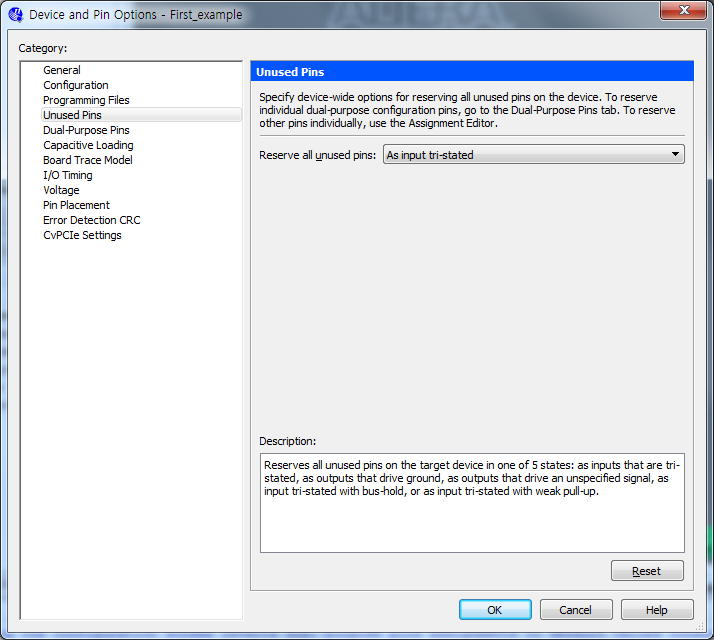


Configuration 탭의 Configuration scheme 항목에서 아래의 내용을 선택합니다.

|  |
| --- |
| Passive Serial (can use Configuration Device) |

다음으로 Unused Pins 탭을 선택합니다.

이 설정은 사용하지 않는 핀에 대한 옵션을 설정하는 부분입니다.



Unused Pins 탭의 Reserve all unused pins: 항목에서 아래의 내용을 선택합니다.

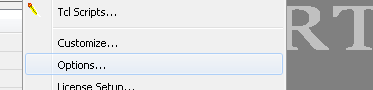
|  |
| --- |
| As input tri-stated |

Configuration 탭과 Unused Pins 탭에 대한 옵션 지정을 마친 후 **“OK”** 버튼을 눌러 프로젝트 설정 정보를 저장합니다.

### ModelSim-Altera 위치 설정

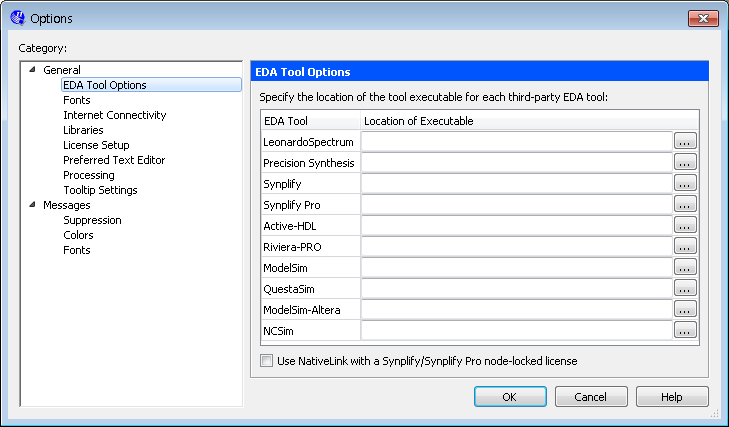
Quartus 프로젝트를 작성 전에 앞서서 설치한 ModelSim-Altera 실행 파일의 위치 정보를 입력하도록 합니다. 이것은 뒤에서 modelSim을 이용하여 시뮬레이션 할 때 ModelSim으로 바로 연결되도록 하기 위한 사전 환경 설정 작업입니다.

Tools 메뉴의 **“Options”** 항목을 선택합니다.



Options 항목을 선택하면 다음과 같은 Options 창이 표시됩니다.

Options 창 왼쪽에 표시된 Category에서 General 하위의 **“EDA Tool Options”** 항목을 선택합니다.



EDA Tool Options 항목이 선택되면 우측에 위치 설정이 가능한 EDA Tool 목록이 표시됩니다.

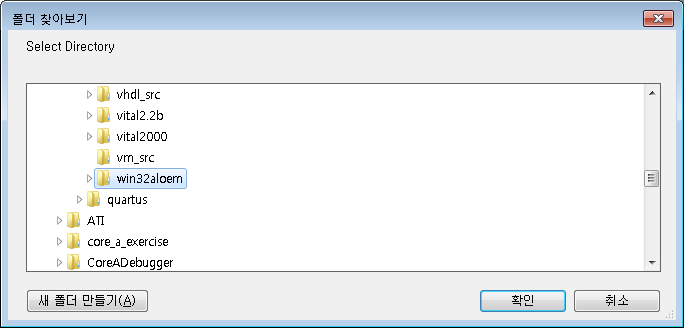
여기서 우리가 연결할 툴은 ModelSim-Altera 이므로 맨 밑에서 두 번째 ModelSim-Altera의 **“…”** 버튼을 클릭합니다.

C:\Users\LinDol_lab\Pictures\Digital Synthesis and Design\options\modelsim-altera.png

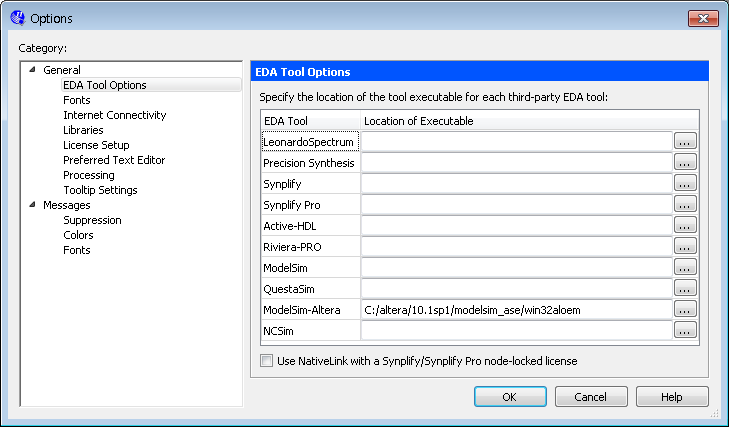
“…” 버튼을 클릭하면 ModelSim-Altera가 설치된 위치를 지정하는 **“폴더 찾아보기”** 창이 표시되며 여기서 다음 위치를 선택합니다.

|  |
| --- |
| C:/altera/10.1sp1/modelsim\_ase/win32aloem |

다음은 위치를 선택하는 화면입니다.



다음은 선택을 마친 후 ModelSim-Altera 항목에 선택한 위치가 입력된 화면입니다.



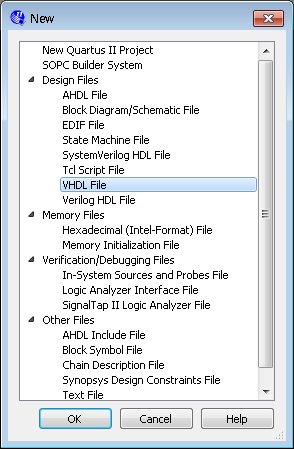
**“OK”** 버튼을 누르면 ModelSim-Altera의 위치 설정 작업이 완료됩니다.

### 전가산기 작성

VHDL로 간단하게 전가산기를 작성해보도록 합니다.

앞서 생성된 **“First\_example"** 프로젝트에 새로운 VHDL 파일을 생성합니다.

File 메뉴에서 New를 클릭하면 다음과 같은 생성 다이얼로그가 표시됩니다.



VHDL 파일을 선택한 후 **“OK”** 버튼을 클릭합니다.

전가산기를 VHDL 로 기술합니다.

코드는 다음과 같습니다.

|  |
| --- |
| library ieee;  use ieee.std\_logic\_1164.all;  entity First\_example is  port( x, y, z : in std\_logic;  S, C : out std\_logic);    end First\_example;  architecture design of First\_example is  signal k : std\_logic\_vector(2 downto 0);  begin  k <= x&y&z;    process(k)  begin  case k is  when "000" =>  S <= '0';  C <= '0';  when "001" =>  S <= '1';  C <= '0';  when "010" =>  S <= '1';  C <= '0';  when "011" =>  S <= '0';  C <= '1';  when "100" =>  S <= '1';  C <= '0';  when "101" =>  S <= '0';  C <= '1';  when "110" =>  S <= '0';  C <= '1';  when "111" =>  S <= '1';  C <= '1';  when others =>  S <= Z;  C <= Z;  end case;  end process;  end design; |

전가산기 코드를 작성한 후 저장 버튼 및 “Ctrl + S” 키를 누르고 파일을 저장합니다.

파일의 이름은 **“First\_example.vhd"** 입니다.

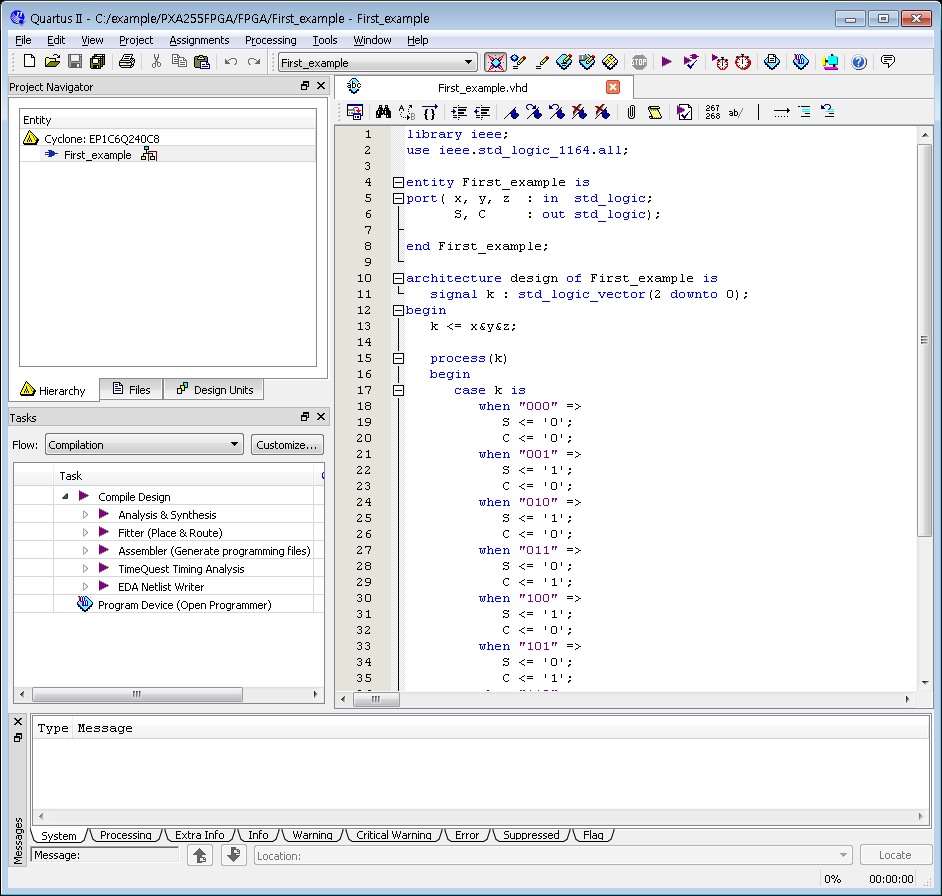
|  |
| --- |
| 저장위치:  C:/example/PXA255FPGA/FPGA/First\_example  파일이름:  First\_example.vhd |

* 파일의 이름은 top 모델이므로 프로젝트 생성시 지정한 top 모델이름과 동일하게 입력되어야 합니다.

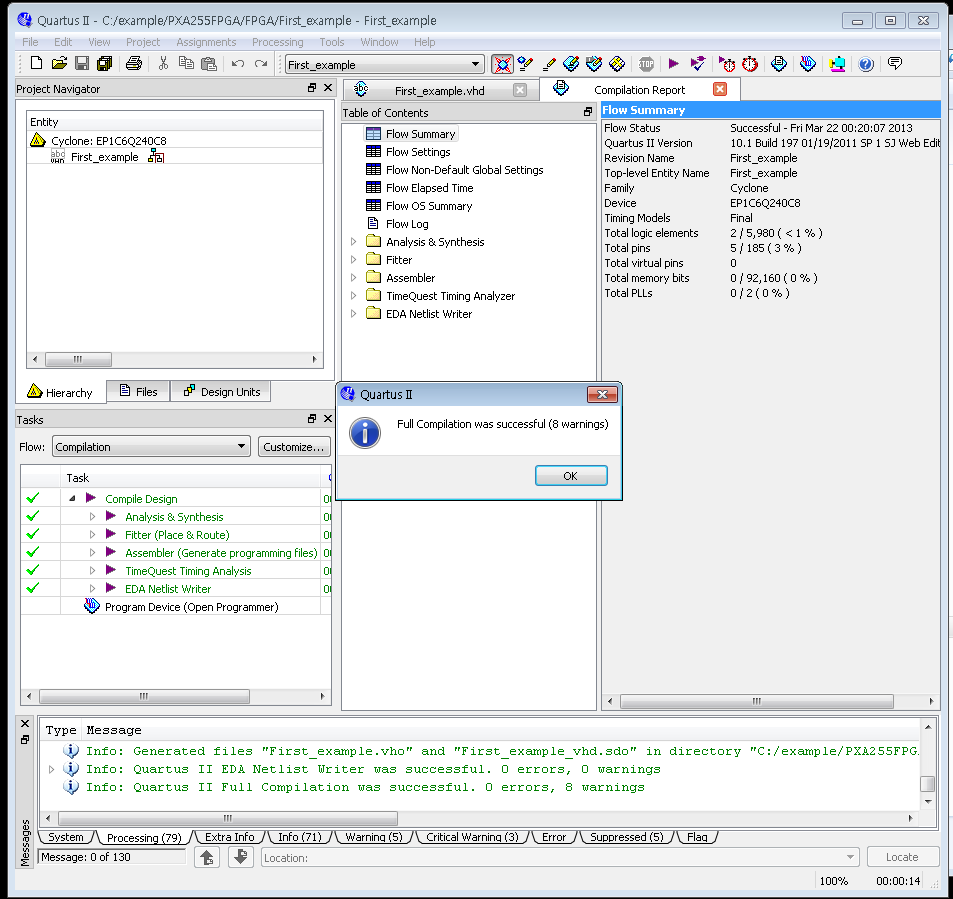
다음은 VHDL 코드가 작성된 화면입니다.

코드 작성을 완료한 후 Processing 메뉴의 Start Compilation 을 클릭해 컴파일을 진행하도록 합니다.

※ 또는 **“Ctrl + L”** 단축키를 통해서 컴파일을 진행할 수 있습니다.



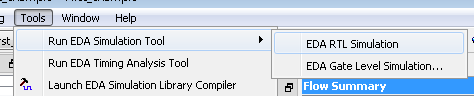
다음은 컴파일이 완료된 화면입니다.



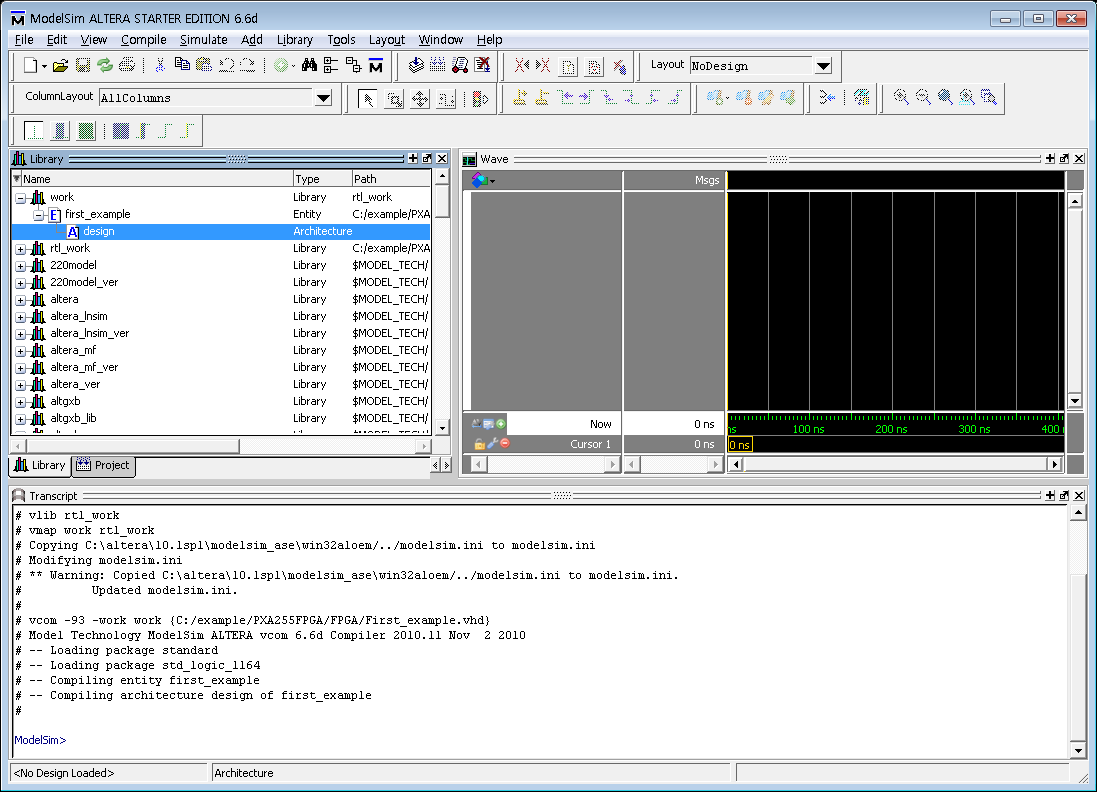
### 시뮬레이션

이제 작성한 전가산기를 Modelsim-Altera를 이용해서 시뮬레이션 해보도록 합니다.

Tools 메뉴의 Run EDA Simulation Tool > EDA RTL Simulation를 클릭합니다.



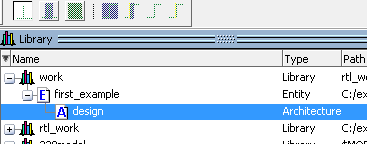
EDA RTL Simulation을 클릭하면 Modelsim-Altera가 실행됩니다.



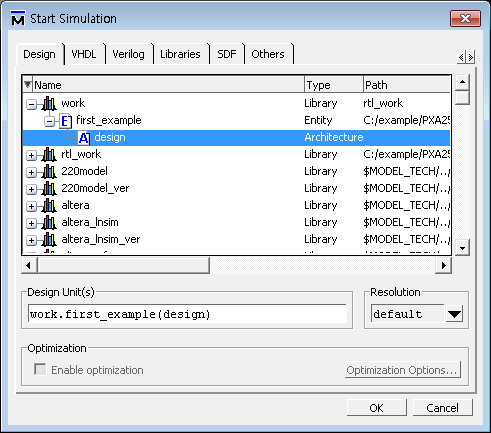
Modelsim-Altera가 실행된 화면은 위와 같습니다.

화면 좌측의 Library 창을 보면 work 하위에 앞서 Quartus로 작성된 First\_example 모듈이 보여지는 것을 알 수 있습니다.

Library 창의 First\_example Entity의 Design Architecture를 마우스로 **더블클릭(Double-Click)**하면 시뮬레이션이 창으로 전환됩니다.

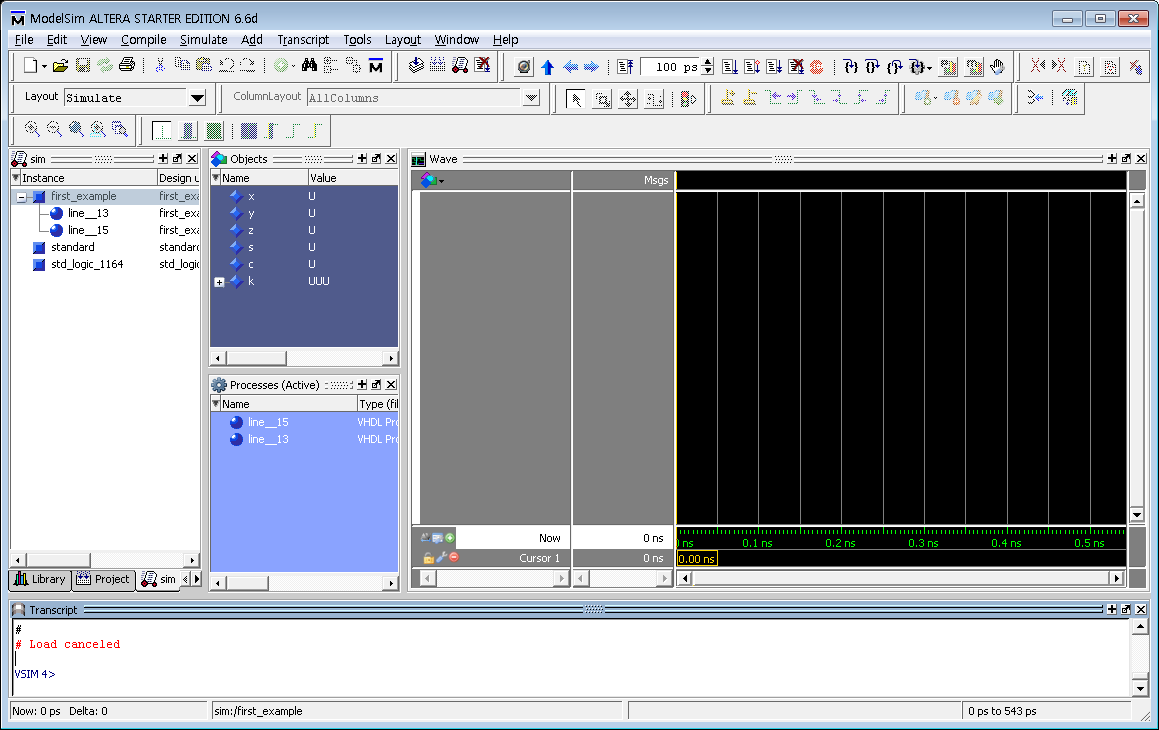


혹은 Simulate 메뉴에서 Start Simulation 을 선택한 후 다음과 같은 시뮬레이션 창에서 work 라이브러리에서 동일한 design 파일을 선택하면 시뮬레이션 창으로 전환됩니다.



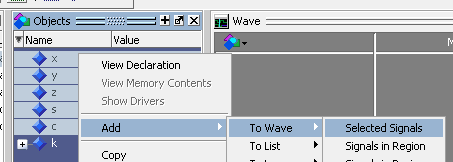
First\_example entity의 design architecture를 선택한 후 **“OK”** 버튼을 클릭합니다.

시뮬레이션이 시작되었을 때 다음과 같은 화면이 표시됩니다.

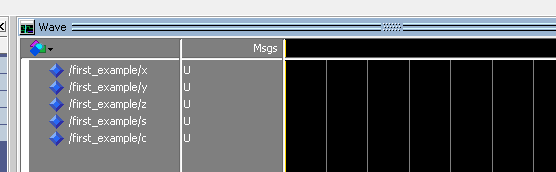


Workspace의 Sim 부분에는 사용된 모듈이 트리구조로 보여지게 되며, 표시된 모듈들을 클릭하면 Object 부분에 해당하는 모듈의 레지스터와 port들을 볼 수 있습니다.

Object 부분에서 **보고자 하는 신호를(포트를) 선택하고 마우스 오른쪽을 클릭한 후 Add> To Wave > Selected Signals 를 클릭하면** Wave 창에 선택한 포트가 추가됩니다.



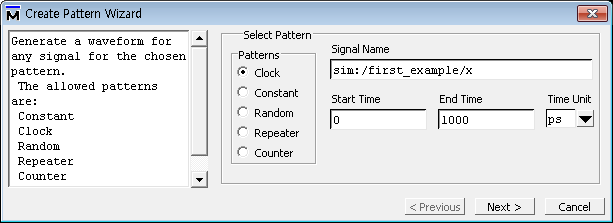
다음은 wave 창에 선택한 포트가 추가된 화면입니다.



포트가 wave 창에 추가 되었으므로 이제는 입력 포트에 신호를 입력하고 올바르게 동작하는 확인하도록 합니다.

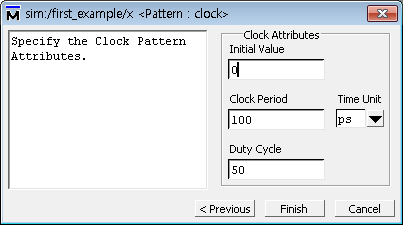
Objects 창에서 X, Y, Z 각 각을 선택하고 마우스 오른쪽 버튼을 누르면 표시되는 메뉴에서 **“Create Wave..”**를 클릭합니다.

이 메뉴를 통해서 임의의 클록을 만들어 해당 포트에 입력할 수 있습니다.



Patterns로 Clock를 선택하고 Start Time은 0 End Time은 1000을 입력한 후 “Next>” 버튼을 클릭합니다.

다음은 임의로 만들고자 하는 초기값 및 신호의 클록 주기와 간격에 대한 설정입니다.



Initial Value에는 0을 Clock Period에는 100을 Duty Cycle에는 50을 입력하였습니다.

입력을 마친 후 Finish를 누르면 x 포트에 대한 신호 생성 작업이 완료됩니다.

Y, Z 부분도 각 각 다른 주기를 갖도록 설정 한 후 위와 같은 과정을 반복해 생성하도록 합니다.

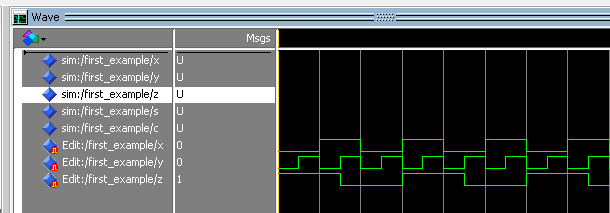
Y 포트

|  |
| --- |
| Start Time: 0  End Time: 1000 ps  Initial Value: 0  Clock Period: 50  Duty Cycle: 50 |

Z 포트

|  |
| --- |
| Start Time: 0  End Time: 1000 ps  Initial Value: 0  Clock Period: 150  Duty Cycle: 50 |

다음은 시뮬레이션을 위해서 위에서 설정한 X, Y, Z 포트에 대한 입력 신호가 만들어진 화면입니다.



위 화면에서 볼 수 있듯이 생성된 신호가 전가산기의 동작을 테스트 할 수 있도록 각 상황에 맞게 생성되어 있는 것을 확인할 수 있습니다.

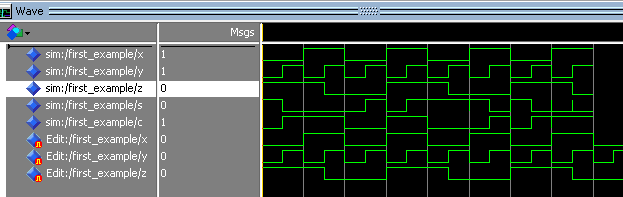
실제 시뮬레이션을 동작 시키기 위해서 툴바에 있는 **“RUN”** 아이콘을 클릭하거나 Simulate 메뉴의 **“Run> Run 100”** 을 클릭합니다.

C:\Users\LinDol\Pictures\연구실\runrun.png

텍스트 박스에 설정된 100 ps 를 다른 시간 단위로 변경하면 입력된 시간에 맞게 시뮬레이션이 진행된 후 멈춰지게 됩니다.

시간 설정 뒤쪽의 아이콘은 **실행(Run)** 메뉴이며, 이를 클릭하면 시뮬레이션이 진행됩니다. 앞쪽에 표시된 메뉴는 **재시작(Restart)** 메뉴 입니다.

다음은 시뮬레이션이 진행되는 화면입니다.

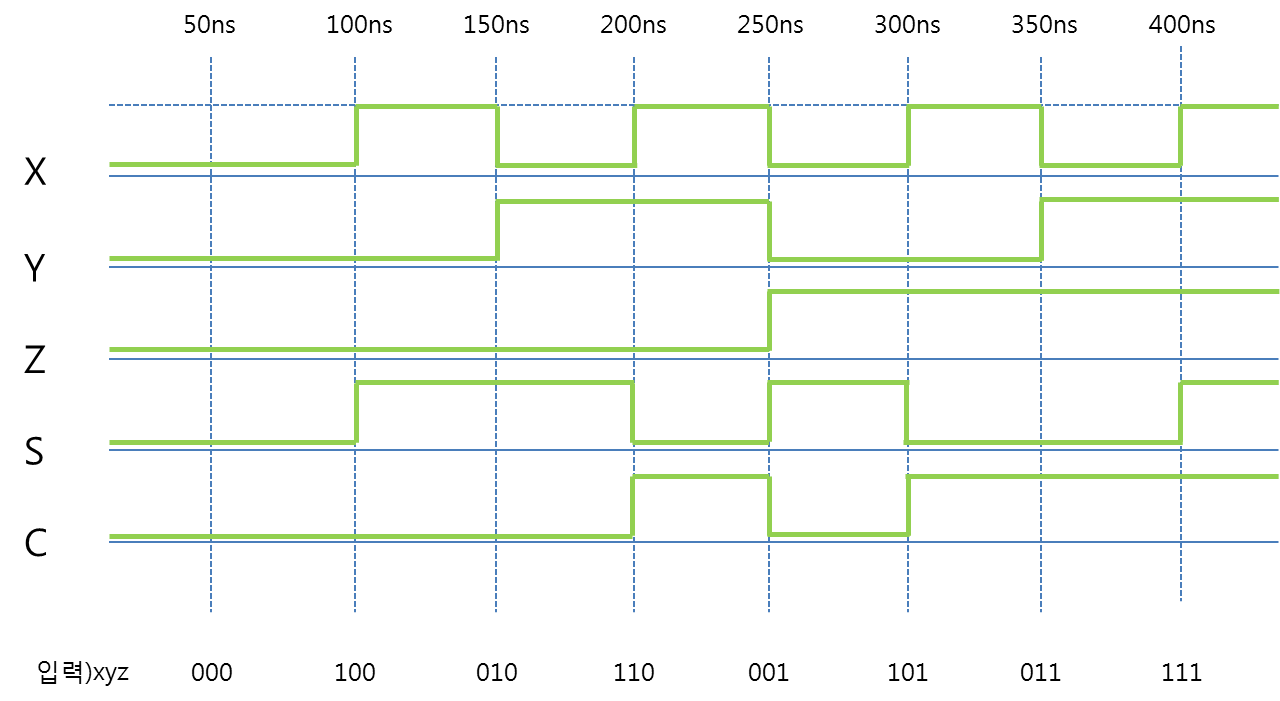


시뮬레이션 결과를 확인해 보면 X, Y, Z 의 입력에 대해서 S, C의 결과가 올바르게 출력되는 것을 확인할 수 있습니다.

### 테스트 벤치를 이용한 시뮬레이션

위에서 설명된 방법은 ModelSim-Altera를 통해서 회로를 시뮬레이션 할 때 Interactive한 방법으로 입력 클록을 생성해 주도록 했다면 테스트 벤치를 이용한 시뮬레이션은 VHDL 코드로 입력 클록에 대해서 정의하고 이를 이용해서 바로 시뮬레이션을 수행하도록 하는 방법입니다.

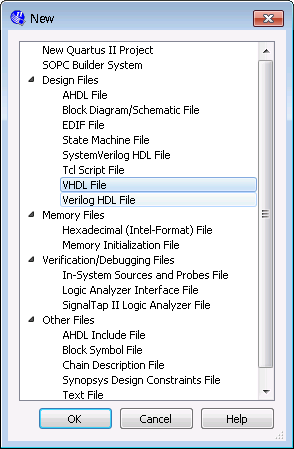
먼저 FullAdder에 대한 회로에 대한 입력을 어떻게 생성할 것인지 간단히 생각해 보면 다음과 같이 각 입력에 대한 클록을 차례로 입력하고 그 결과가 (Sum, Carry) 올바르게 출력되는지 확인하도록 하면 될 것입니다.



위 화면과 같이 올바르게 동작하기 위한 각 조건을 입력으로 생성하고 이를 시뮬레이션 하고자 하는 회로에 연결하면 매번 추가적으로 시뮬레이션 할 때마다 입력 클록에 대한 정의를 하지 않아도 시뮬레이션 할 회로에 대한 입력을 생성하도록 하는 VHDL로 기술된 테스트 벤치를 실행하면 간단히 시뮬레이션을 진행할 수 있게 됩니다.

테스트 벤치 코드를 작성하기 위해서 Quartus툴에서 새로운 파일을 생성하도록 합니다.

File메뉴의 **“New”** 를 선택하면 New 대화 상자가 표시되며 여기서 **“VHDL File”**을 선택하고 “OK” 버튼을 클릭합니다.



새로 생성된 VHDL 파일에 테스트 벤치 코드를 기술합니다. 테스트 벤치에서는 위에서 설명한 XYZ에 대한 입력 순서대로 클록을 생성하는 코드를 기술할 것입니다.

다음은 Full adder 테스트를 위한 테스트 벤치 코드 입니다.

|  |
| --- |
| library ieee;  use ieee.std\_logic\_1164.all;  use ieee.numeric\_std.all;  entity test\_bench\_fa is  end test\_bench\_fa;  architecture test of test\_bench\_fa is  component First\_example  port( x, y ,z : in std\_logic;  S, C : out std\_logic);  end component;    signal x, y, z : std\_logic;  signal S, C : std\_logic;    begin  uut: First\_example port map ( x => x, y => y, z => z, S => S, C => C );    TB : process  begin  x <= '0';  y <= '0';  z <= '0';  wait for 50 ns; -- 50 ns  wait for 50 ns; -- 100 ns  x <= '1';  wait for 50 ns; -- 150 ns  x <= '0';  y <= '1';  wait for 50 ns; -- 200 ns  x <= '1';  wait for 50 ns; -- 250 ns  x <= '0';  y <= '0';  z <= '1';  wait for 50 ns; -- 300 ns  x <= '1';  wait for 50 ns; -- 350 ns  x <= '0';  y <= '1';  wait for 50 ns; -- 400 ns  x <= '1';  wait; -- will wait forever end process; end TEST  end process;  end TEST; |

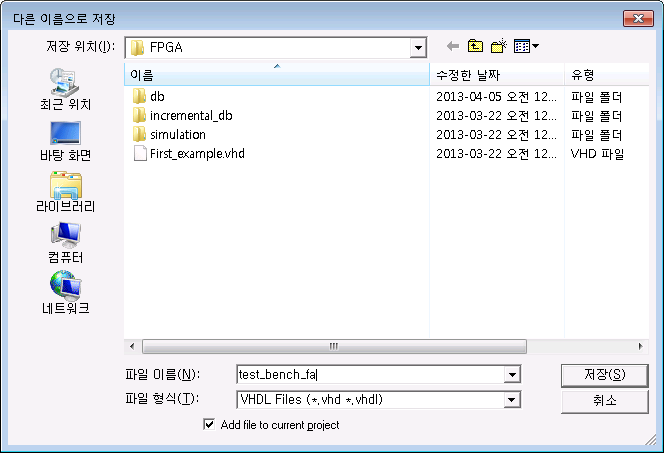
VHDL로 기술된 테스트 벤치 코드를 입력한 후 저장 버튼을 누르거나 단축키 “Ctrl + S” 를 누르면 파일을 저장할 수 있습니다.

다음과 같은 위치에 저장하도록 합니다.

|  |
| --- |
| 위치: C:\example\PXA255FPGA\FPGA  파일이름 : test\_bench\_fa.vhd |

* 파일이 저장될 위치는 앞서 작성된 예제 프로젝트의 위치와 동일합니다.

다음은 작성한 테스트 벤치 파일을 저장하는 화면입니다.



파일을 저장한 다음 시뮬레이션 실행을 위해서 프로젝트를 컴파일 합니다. ( 단축키 “Ctrl + L” )

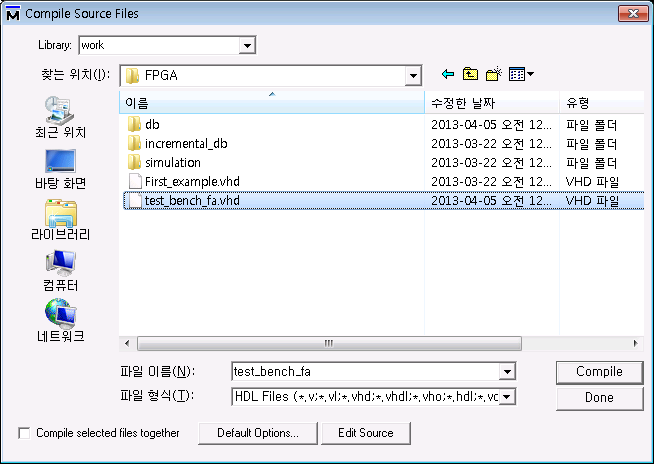
컴파일을 마친 후 Tools 메뉴의 Run EDA Simulation Tool 하위의 **“EDA RTL Simulation”** 을 선택합니다.

ModelSim-Altera가 실행되면 library 창의 work 하위에 first\_example 엔티티가 존재하고 있는 것을 알 수 있습니다.

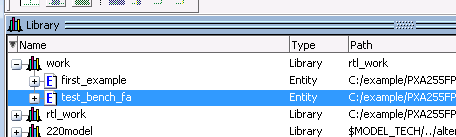
테스트 벤치 실행을 위해서 앞서 작성된 테스트 벤치 파일도 컴파일을 수행하도록 합니다.

테스트 벤치의 컴파일을 위해서 **“Compile”** 메뉴에서 **“Compile”**를 선택합니다.

화면에 Compile Source Files 창이 표시되며 앞서 작성한 테스트 벤치 파일이 저장된 위치로 이동해 **“test\_bench\_fa.vhd"** 파일을 선택하고 **“Compile”** 버튼을 클릭합니다.



테스트 벤치의 컴파일이 완료되면 Library 창에서 work 라이브러리 하위에 test\_bench\_fa 엔티티가 추가됩니다.



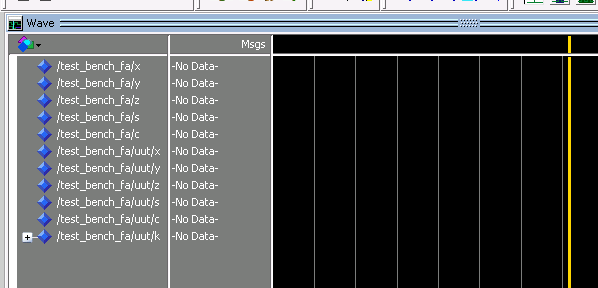
위 화면은 컴파일이 완료된 후 테스트 벤치 파일이 work library에 추가된 것을 보여줍니다.

Work library에서 **“test\_bench\_fa”**를 더블 클릭합니다.

시뮬레이션 화면으로 전환되면 Instance 창에서 **“test\_bench\_fa”**를 선택하고 Object 창에서 마우스 오른쪽 버튼을 누른 후 전체 입 출력 포트에 대한 내용을 확인하기 위해서 **“Add->To Wave->Signals in Design”** 메뉴를 선택합니다.

선택을 마치면 테스트 벤치의 입/출력과 Full Adder에 대한 입/출력 내용이 Wave 창에 추가됩니다.

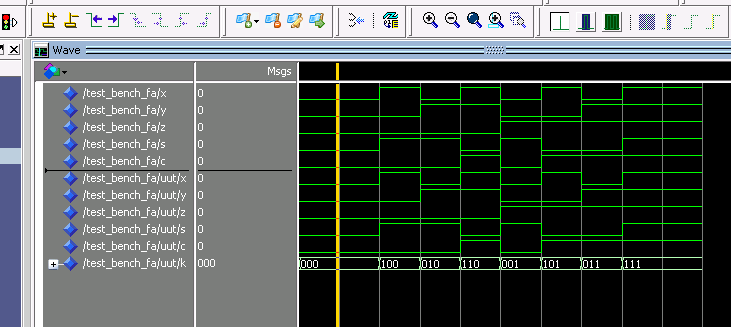
다음은 각 입/출력 포트가 wave창에 추가된 화면입니다.



시뮬레이션 실행을 위해서 시뮬레이션 실행 시간 단위를 100 ns 로 조정한 후 Run 버튼을 클릭하면 시뮬레이션이 진행됩니다.

※ 앞서 테스트 벤치를 작성할 때 50 ns초 단위로 클록이 변화 되도록 작성하였으므로 출력되는 클록의 내용을 알아보기 쉽도록 작성하였으므로 시뮬레이션 실행 시간 단위를 변경하였습니다.

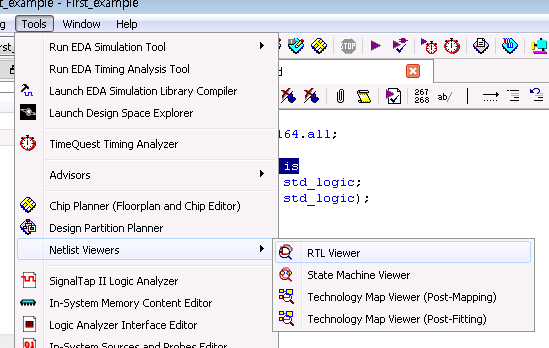
다음은 시뮬레이션 결과입니다.



테스트 벤치를 이용한 시뮬레이션 결과를 통해서 정상적으로 full adder가 동작하고 있음을 확인 할 수 있습니다.

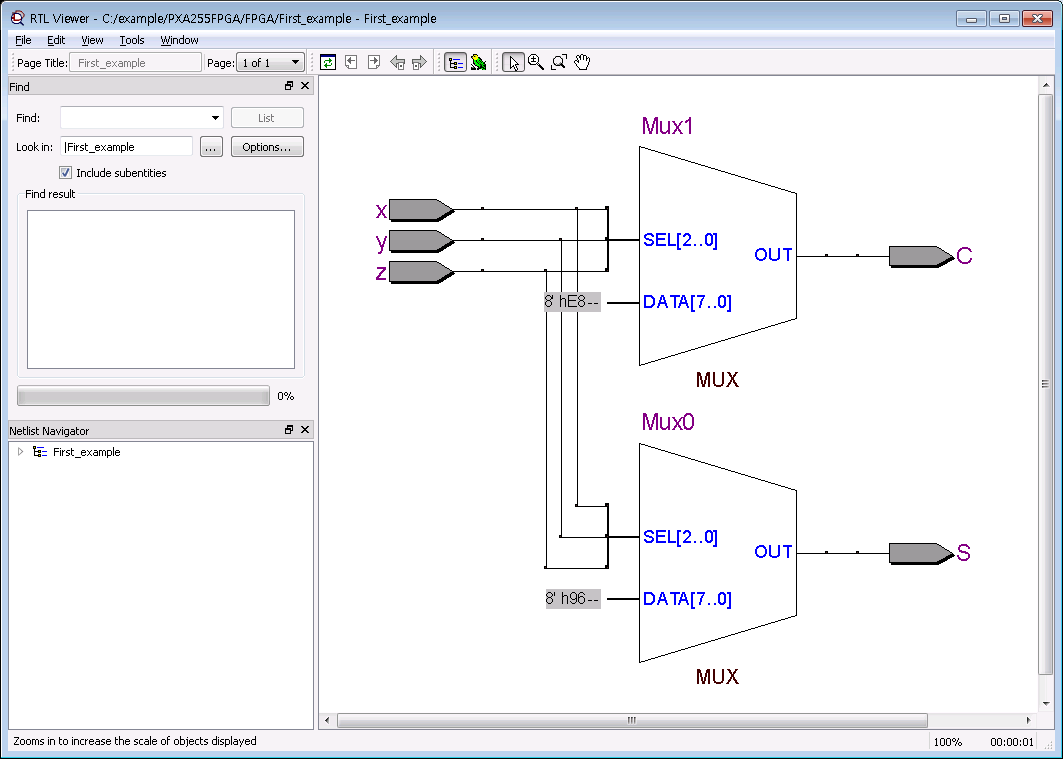
### 합성 회로 확인

작성한 VHDL 코드에 대한 합성을 통해서 생성된 회로를 확인하기 위해서 프로젝트의 컴파일을 완료한 후에 Tools 메뉴 하위의 **“Netlist Viewers->RTL Viewer”** 를 선택합니다.



RTL Viewer를 실행되면 작성한 VHDL 코드를 통해서 생성된 회로를 확인할 수 있습니다.

다음은 RTL Viewer를 통해서 표시된 내용입니다.



위의 내용을 통해서 입력 XYZ에 대한 출력 S C에 대한 회로가 어떻게 구성되어 있는지 확인할 수 있습니다.

핀 설정

프로그래밍

컴파일(Compilation)

### USB 블라스터 설치

PXA255 FPGA 보드로 소프트웨어를 다운로드 하기 위해서 Altera USB blaster를 준비하고 PC에 USB를 연결합니다.

다음은 2가지 형태의 USB Blaster 이며 동작은 같습니다.

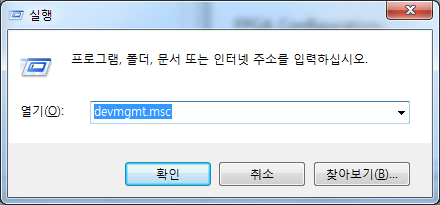
 

PC에 USB Blaster을 연결하면 새로운 하드웨어가 검색되며 이후 관련 드라이버를 설치하도록 합니다.

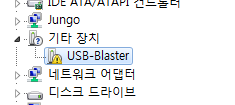
먼저 장치 관리자 및 하드웨어 설치 마법사를 통해서 Altera USB-Blaster 드라이버 소프트웨어가 있는 위치를 지정하도록 합니다.

장치관리자 실행 방법 : 시작메뉴 -> 내컴퓨터 -> 마우스 오른쪽 버튼 -> 속성 -> 장치관리자

또는 윈도우 + R 키를 누르신 후 devmgmt.msc를 입력하면 장치관리자가 실행됩니다.

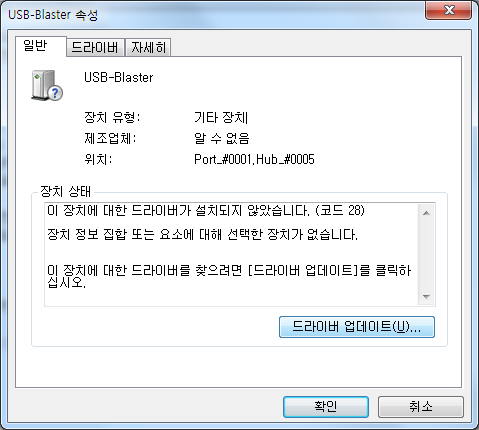


장치 관리자에서 기타장치를 확인하면 USB-Blaster 가 존재하며 아직 드라이버가 설치되지 않았기 때문에 느낌표 아이콘으로 보여지는 것을 알 수 있습니다.

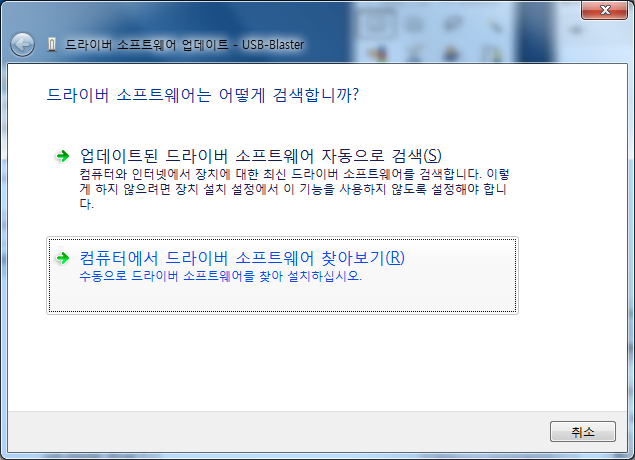


USB-Blaster 를 더블클릭 하면 드라이버 속성 대화 상자가 표시됩니다.

하단의 드라이버 업데이트 버튼을 누르고 설치할 USB-Blaster 드라이버 소프트웨어의 위치를 지정하도록 합니다.



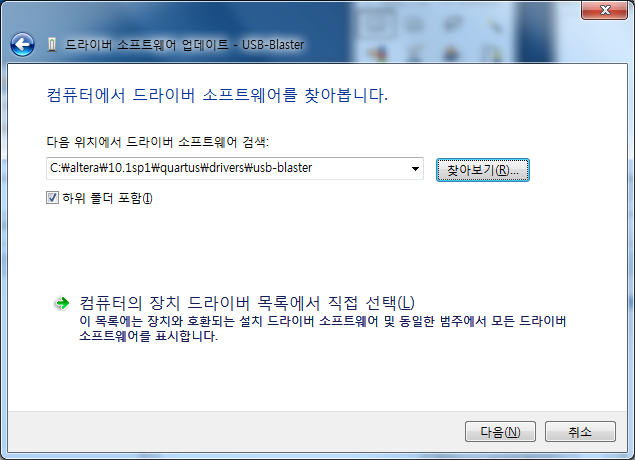
소프트웨어 위치 지정을 위해서 **“컴퓨터에서 드라이버 소프트웨어 찾아보기”** 버튼을 클릭합니다.



USB-Blaster 드라이버 소프트웨어는 Altera Quartus II 툴 설치시에 함께 설치되며 이 위치를 **“찾아보기”** 버튼을 이용해서 지정하도록 합니다. 드라이버 소프트웨어가 설치되어 있는 위치는 다음과 같습니다. 다음 위치를 지정합니다.

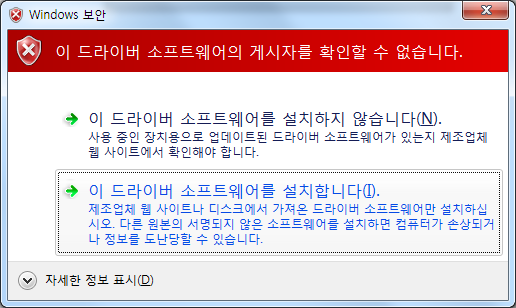
|  |
| --- |
| C:\altera\10.1sp1\quartus\drivers\usb-blaster |

다음은 드라이버 위치를 지정한 화면 입니다.

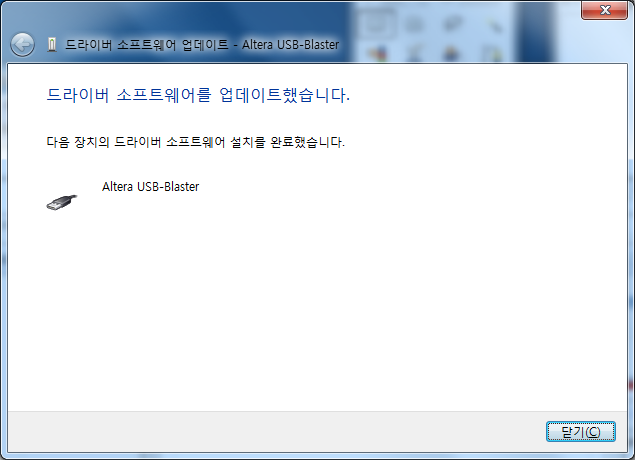


위치 지정을 마친 후 **“다음”** 버튼을 누르면 USB-Blaster 드라이버 설치가 진행됩니다.

* 드라이버 보안 경고가 표시될 경우 “이 드라이버 소프트웨어를 설치합니다.(I)” 를 선택하고 설치를 진행하도록 합니다.

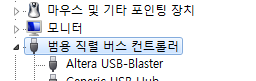


다음은 드라이버 설치가 완료된 후 설치한 드라이버에 대한 정보를 표시하는 화면입니다.



Altera USB-Blaster 가 설치된 것을 확인할 수 있습니다.

장치관리자에서 다시 확인해 보면 범용 직렬 버스 컨트롤러에 Altera USB-Blaster 가 정상적으로 설치된 것을 확인 할 수 있습니다.



### FPGA Configuration

다운로드

# 하드웨어 사용

## PXA255-FPGA 디바이스 소개

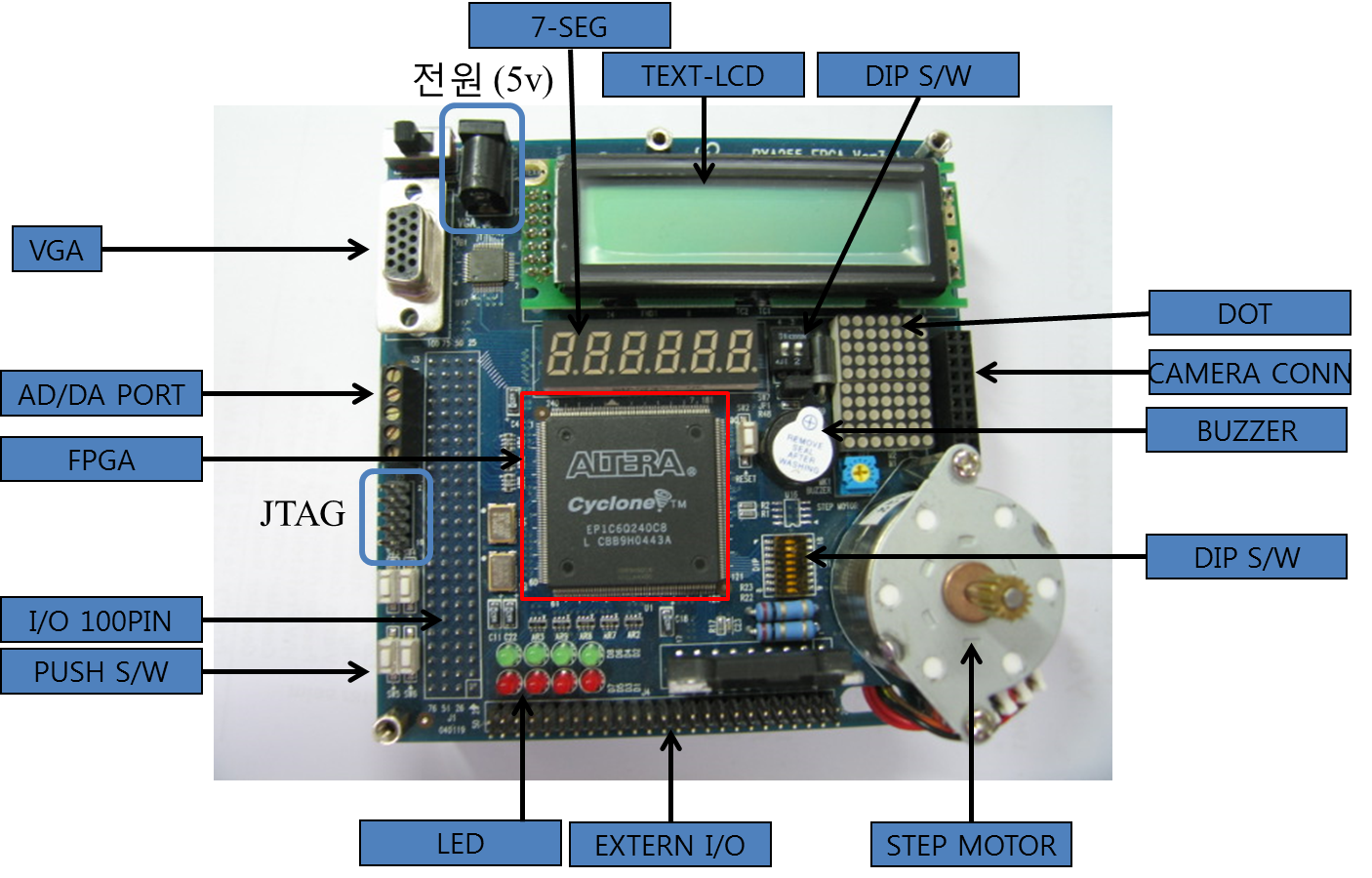


Figure 13 PXA255-FPGA 보드

우리가 실습에 사용할 FPGA 개발보드는 위의 그림과 같고 각 장치에 대한 명칭은 화살표로 연결된 이름과 같습니다.

장치에 대한 특징은 다음과 같습니다.

|  |
| --- |
| Chip: Altera FPGA Cyclone  Gate: 120,000 개  Clock: 12Mhz  부착 장치: Text LCD, LED, Step Motor, 7-Segment, Dot Matrix 등 |

동작 스위치 설정

LED 제어 및 동작

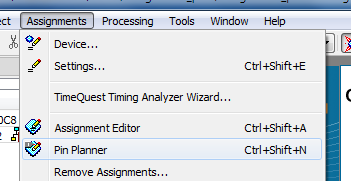
FND의 제어 및 동작

### 핀 설정

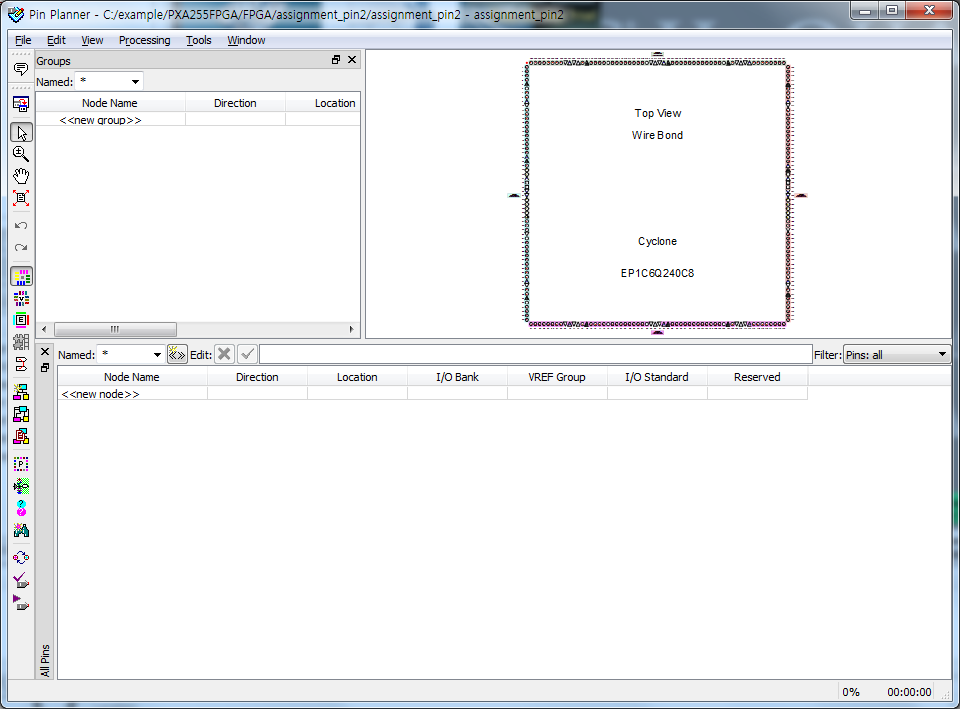
PXA255-FPGA에 부착된 하드웨어를 사용하기 위해서 추가적으로 FPGA의 핀설정이 필요합니다. 핀 설정을 마친 후 해당 핀에 연결된 이름을 통해서 데이터를 입력 받거나 출력할 수 있습니다.

먼저 핀 설정을 위해 Assignments 메뉴의 **“Pin Planner”** 를 선택합니다.

* 단축키 **Ctrl + Shift + N** 키를 이용해 실행할 수 있습니다.



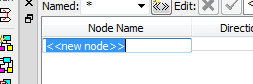
다음은 Pin Planner 가 실행된 화면입니다.

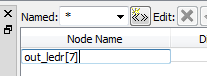


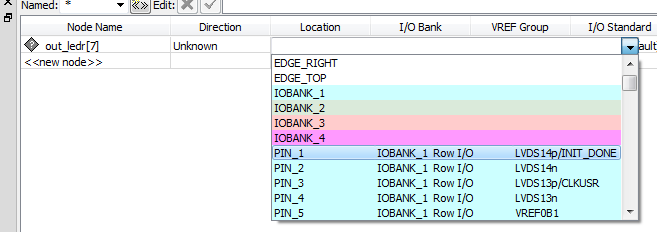
핀 정보를 추가하는 방법은 화면 하단의 **“<<new node>>”** 부분을 더블 클릭하면 편집상태로 전환되며 여기서 연결할 핀에 부여할 이름을 입력합니다.

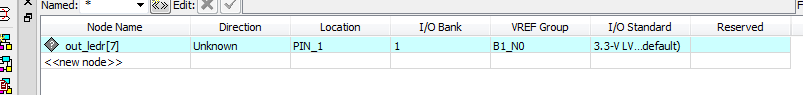
이를 Node Name이라고 부릅니다. Node Name을 입력한 후 **“Location”** 항목 부분을 더블 클릭하면 Pin 번호를 선택할 수 있는 리스트 박스로 전환되며 여기서 연결할 **핀 번호를** 선택합니다.

다음은 각 작업에 대한 연속된 화면 입니다.







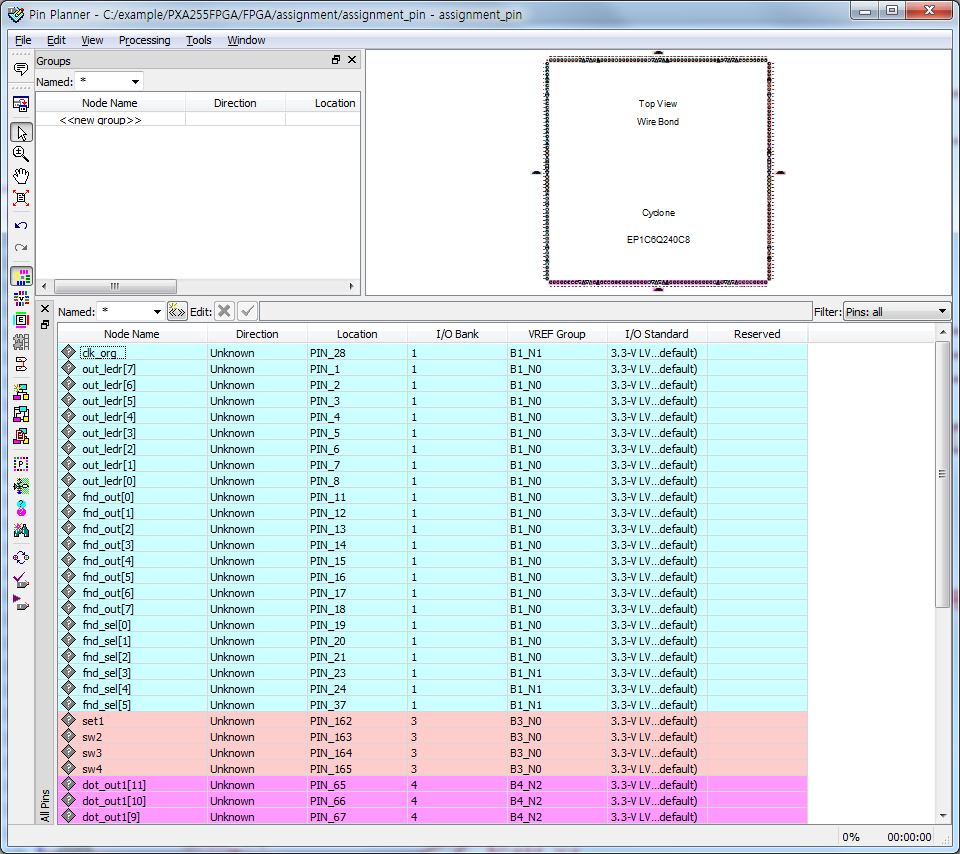


위 화면은 out\_ledr[7] 이름으로 PIN\_1 (즉 1번 핀)에 대한 정보가 추가된 것을 보여줍니다

이 후의 작업은 튜토리얼과 함께 배포된 **“Pins Configuration.xls”** 파일에서 핀 정보를 확인하고 위에서 설명된 작업을 반복해 가면서 추가해 가도록 합니다.

* Pins Configurations.xls 파일에는 FND segment array, Dot matrix, push switch, led, clock 에 대한 핀 정보가 기술되어 있으므로 이를 보고 핀 정보를 추가하도록 합니다. 추가적으로 부저 및 LCD를 사용하고자 할 경우 PXA-255-FPGA4\_DataSheet.pdf 파일 내용을 참고해 핀 정보를 추가하면됩니다.

다음은 핀 Pins Configurations.xls에 정리된 핀 정보를 모두 추가한 화면입니다.



FND를 이용한 숫자 표시

초 단위 카운트 얻기 (디바이스 클럭 이용) – (디지털합성설계 실습 5.25)

FND를 이용한 데이터 초 데이터 출력

60 초 카운터 작성

# 디지털 시계

기능 도출

상태 다이어 그램 작성

FPGA 프로그래밍